

Conception de Circuits & Systèmes Intégrés

El Mourabit Aimad
ENSA de Tanger

elmourabit_aimad@yahoo.fr

Lecture Conseillée :

- ❖ Design of Analog CMOS Integrated Circuits, Behzad Razavi, MHHE edition
- ❖ Transistor MOS et sa technologie de fabrication, Thomas SKOTNICKI, Techniques de l'Ingénieur, traité Électronique, E 2 430 – 37
- ❖ INTERNATIONAL ROADMAP FOR DEVICES AND SYSTEMS; 2017 EDITION

Introduction Générale

Pkoi Microélectronique

Et aujourd'hui Nanoélectronique

L'infiniment Petit





- Une cellule humaine ordinaire a un diamètre de dix microns
- Un globule rouge a un diamètre de **7 microns**.
- Une bactérie typique, celle par exemple en forme de bâtonnet, a une longueur d'environ **deux microns** ;
- Le virus de la grippe à une taille de 1 à 10 nm.

Intel Technology Roadmap


Process Name	P1266	P1268	P1270	P1272	P1274
Lithography	45 nm	32 nm	22 nm	14 nm	10 nm
1 st Production	2007	2009	2011	2013	2015

Réduction de l'échelle

Date Production Part Available*

Foundry	2012	2013	2014	2015	2016	2017	2018	2019	2020
	28HPM		20SoC 28HPC	16FF-T 16FF+	16FFC	10FF	7FF	7HPC	5nm
			20LPE	14LPE	14LPP	10LPE	10LPP		7nm
					14LPP	22FDX		7nm 12FDX	
	22nm	22SoC	14nm	14SoC	14nm+	10nm 10SoC			7nm

*risk production and qualification start is typically 1 year ahead

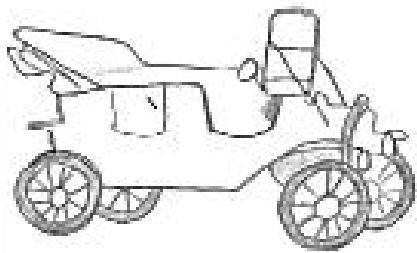


Avec une croissance de 5 à 10% par an

Aujourd'hui la microélectronique touche tous les domaines :

Automobile , Aviation, Domotique, Télécommunication....

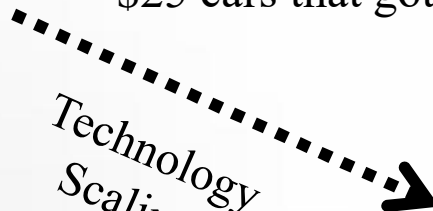
« La microélectronique est une technique, dite "fluide", qui connaît ses propres développements scientifiques et technologiques, et dont les implications permettent des progrès conséquents dans d'autres branches industrielles. »



"If GM had kept up with technology like the computer industry has, we would all be driving \$25 cars that got 1,000 mpg. (0.2L/100Km)"

Bill Gates

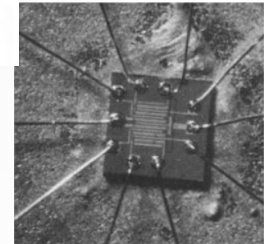
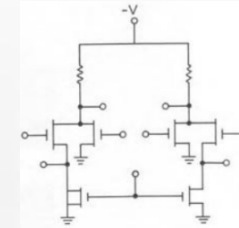
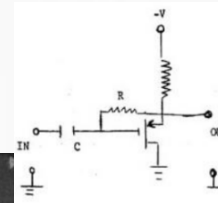
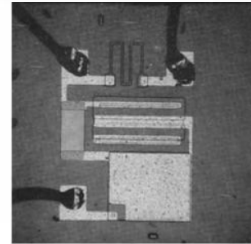
Technology
Scaling




Ce secteur des CIs est un secteur stratégique pour la compétitivité des entreprises et l'indépendance nationale et tire la croissance mondiale depuis plus de 50 ans ;



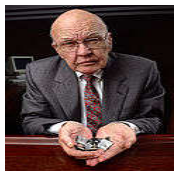
■ **1947 - invention du transistor bipolaire par William Shockley, John Bardeen et Walter Brattain des BELL LABS.**



The Transistor, A Semi-Conductor Triode

J. BARDEEN AND W. H. BRATTAIN
Bell Telephone Laboratories, Murray Hill, New Jersey
June 25, 1948

A THREE-ELEMENT electronic device which utilizes a newly discovered principle involving a semiconductor as the basic element is described. It may be employed as an amplifier, oscillator, and for other purposes for which vacuum tubes are ordinarily used. The

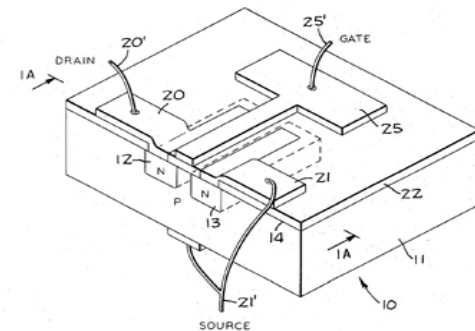


■ **1958 : invention du premier circuit intégré par Jack St Clair Kilby (Nobel 2000) de TEXAS INSTRUMENT, incluant cinq composants**

■ Les premiers circuits intégrés étaient NMOS, les composants CMOS (NMOS et PMOS) sont proposés en 1963 par C. T. Sah and Frank Wanlass of the Fairchild R & D Laboratory

Dec. 5, 1967 F. M. WANLASS 3,356,858
LOW STAND-BY POWER COMPLEMENTARY FIELD EFFECT CIRCUITRY
Filed June 18, 1963 5 Sheets-Sheet 1

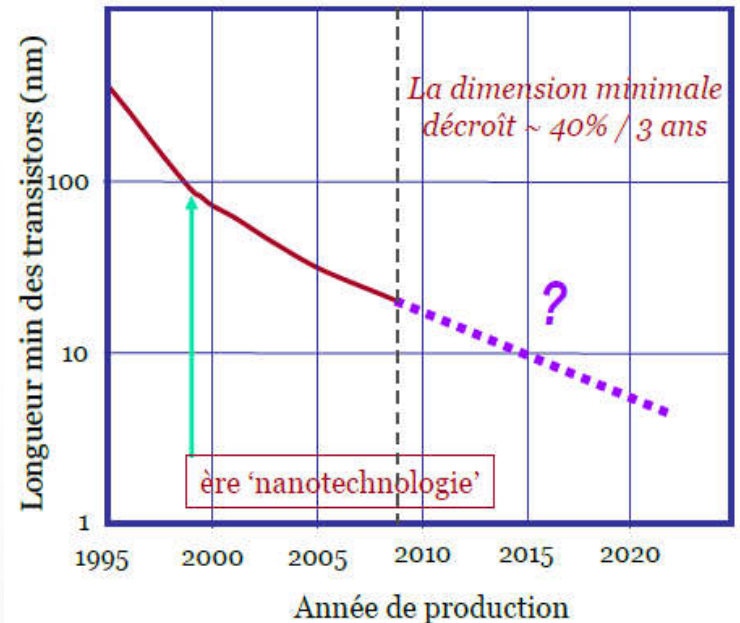
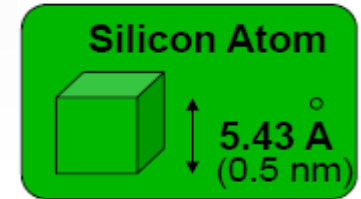
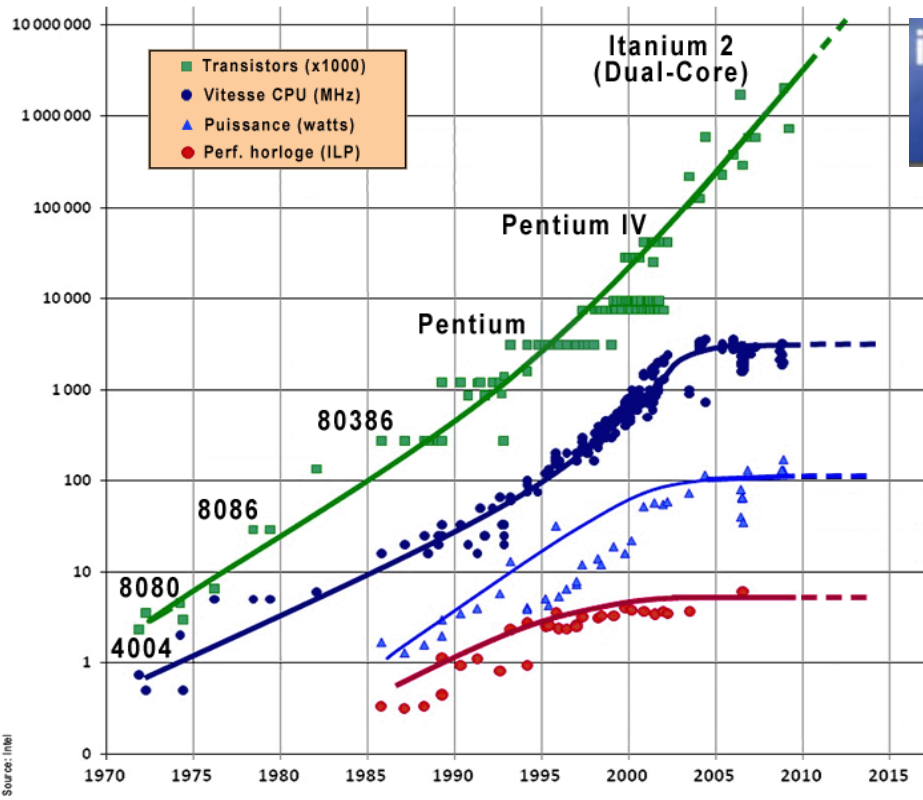
FIG. 1



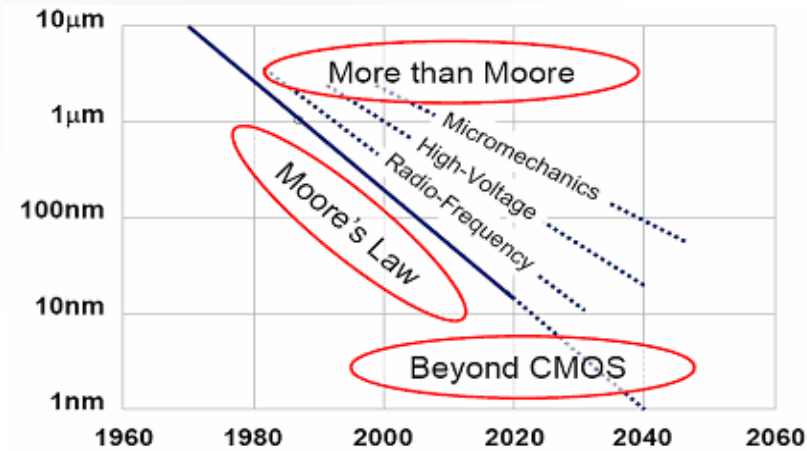
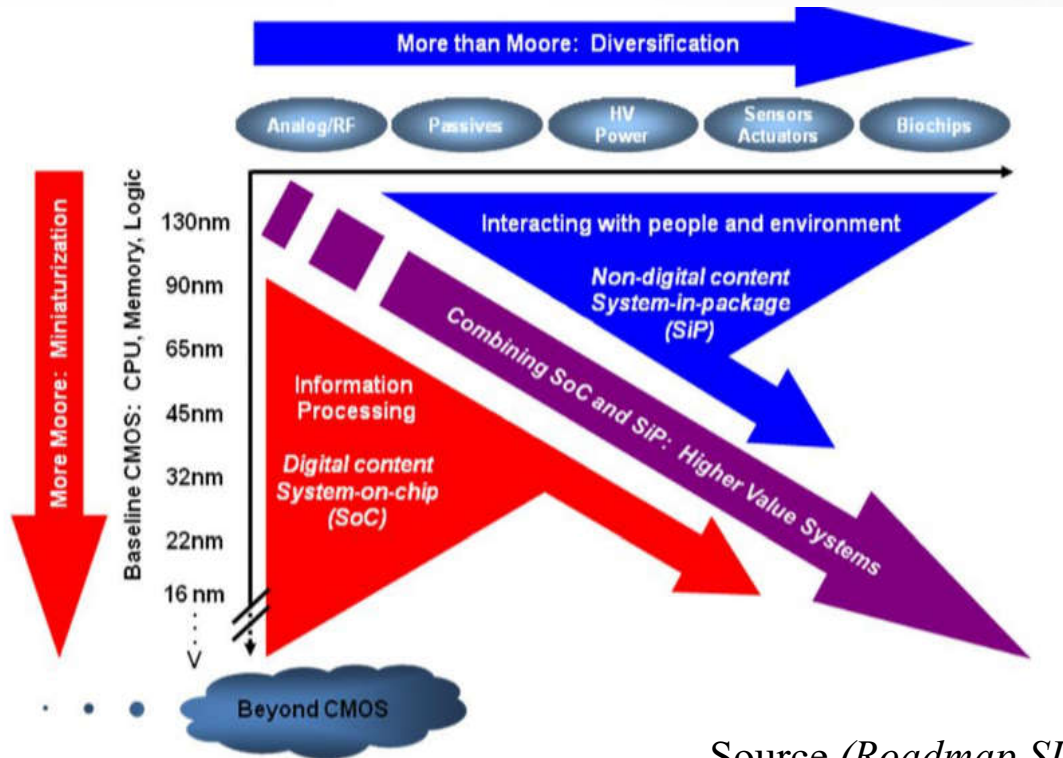
En 1965, Gordon Moore observe que les dimensions minimales des composants électroniques suivent une loi exponentielle en *fact du temps*...

Pour des raisons de compétitivité, cette 'loi' continue d'être appliquée encore de nos jours !

1. Les dimensions par un facteur 2 chaque 3 ans
2. Le nbr de transistor par chip double chaque un à deux ans

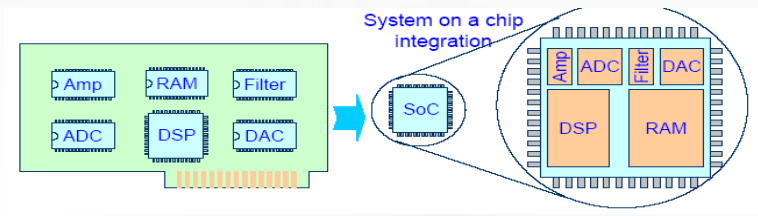
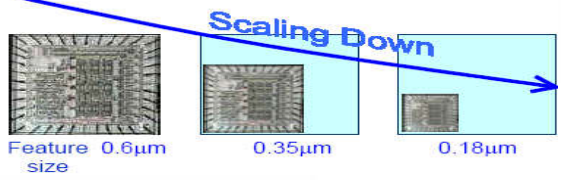


Source (Roadmap SIA 2000)

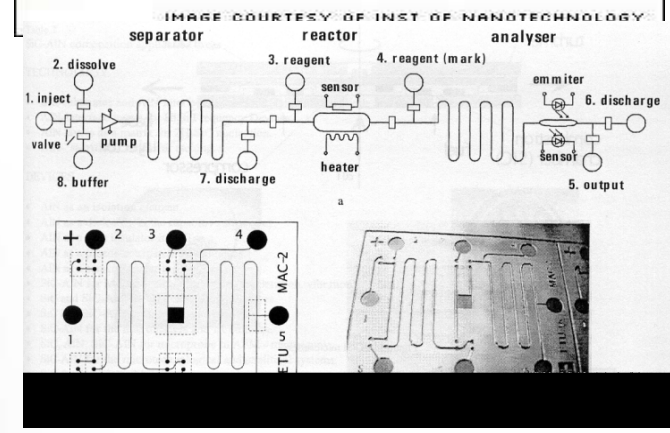
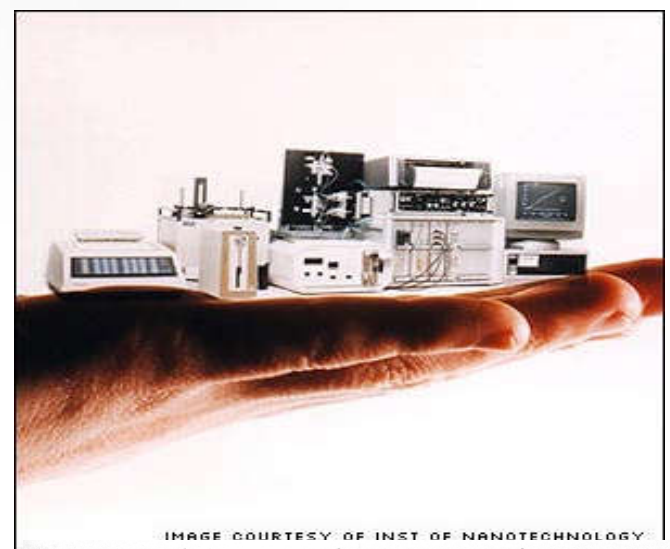
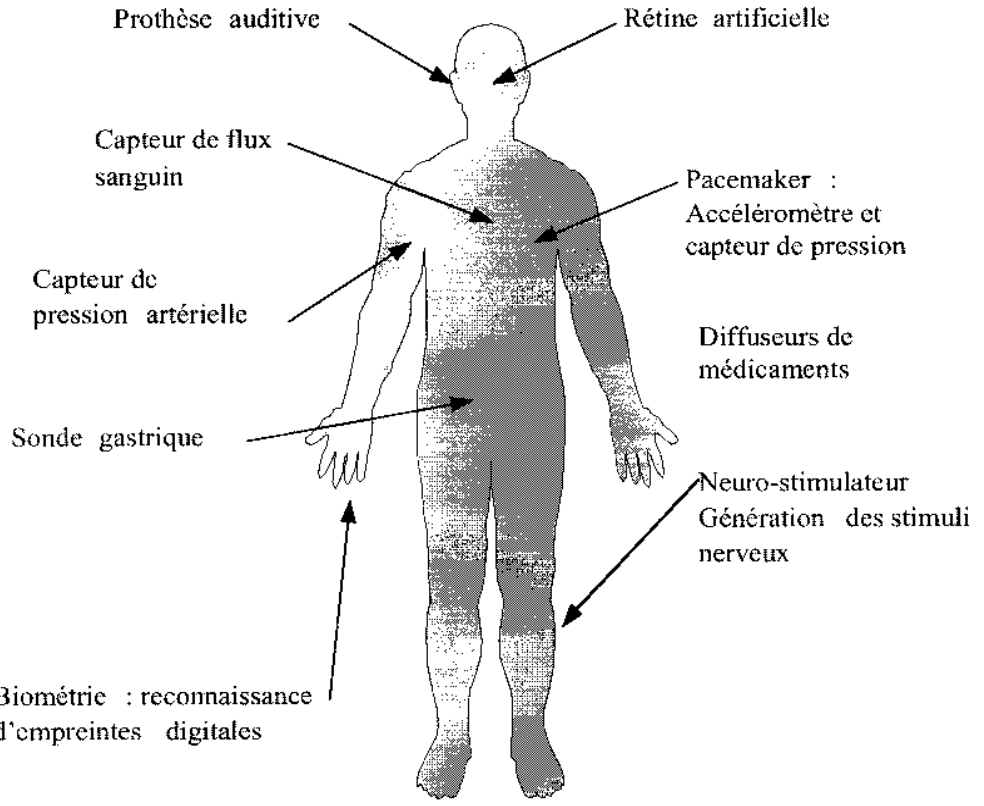


Source (Roadmap SIA 2008)

IEEE panel agree Moore's Law via Lithography scaling will be dead by 2035 and explore Beyond CMOS

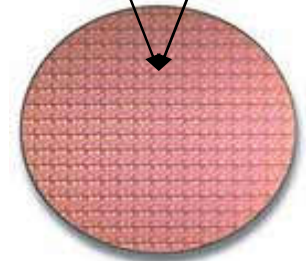
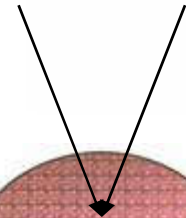
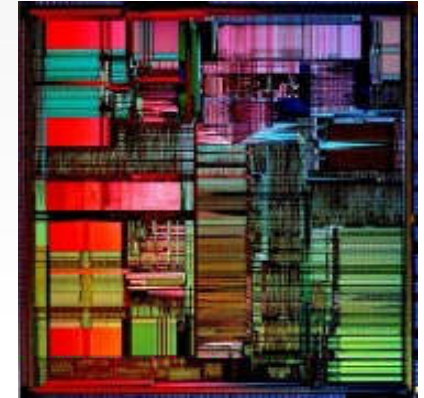
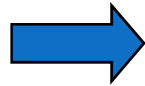


Dans le biomédical

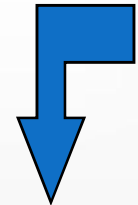
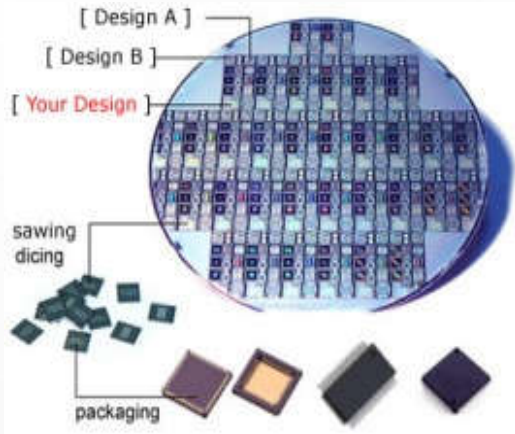
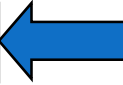
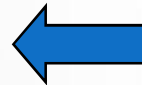


From Sand to Circuits

Concepteur de CI



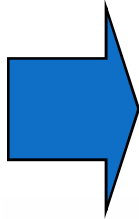
Découpage



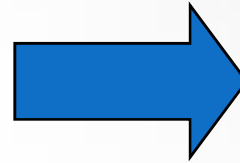
Vente

From Sand to Circuits

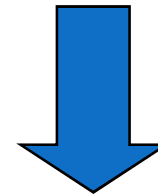
Sable : 0.03\$/Kg



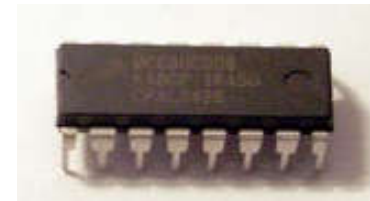
Wafer vierge de Si :
1'200\$/Kg



Wafer processée :
12'000\$/Kg



Circuit intégré
300'000\$/Kg



Produit à forte valeur ajoutée = 10^7

Ingénieur en microélectronique

Ingénieur CAO

Ingénieur Proces

Ingénieur Packaging

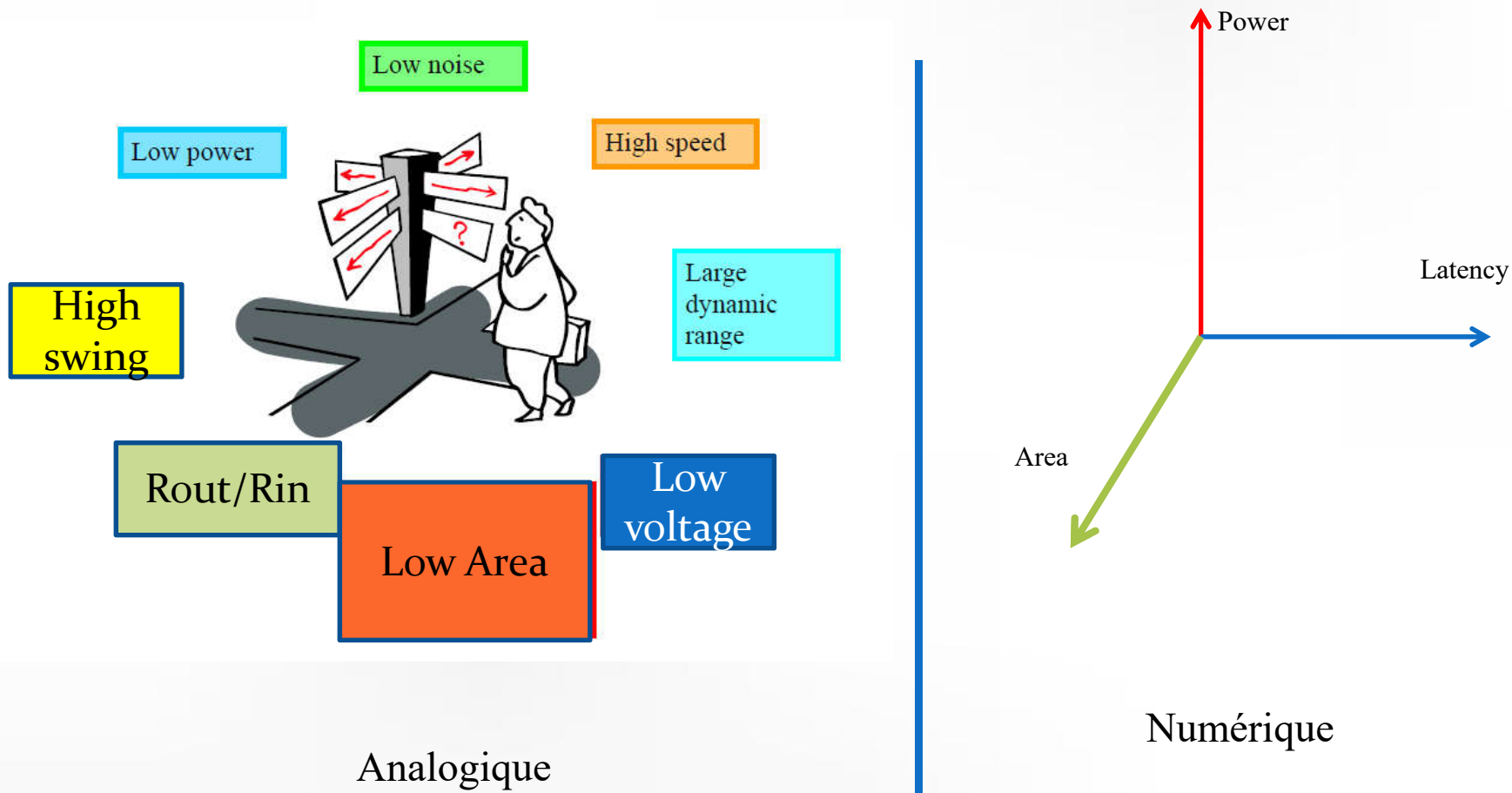


De simples Bureaux !!

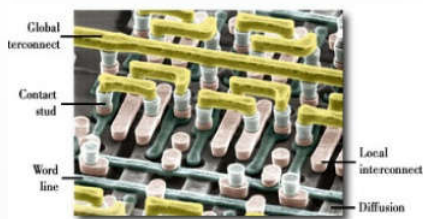
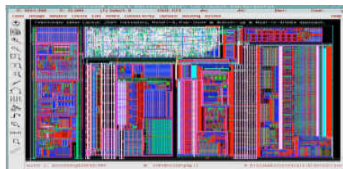
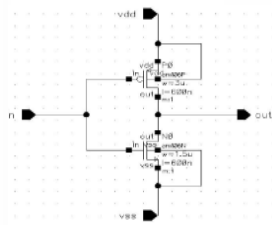


Salle blanche

Espaces de Conception



Le flot de conception de circuits intégrés analogiques



concepteur

logiciel CAO
Exemples:
Cadence IC
Mentor Graphics

schéma électrique

simulation

dessin des masques

création d'un jeu de masques

traitement du wafer

découpage du wafer

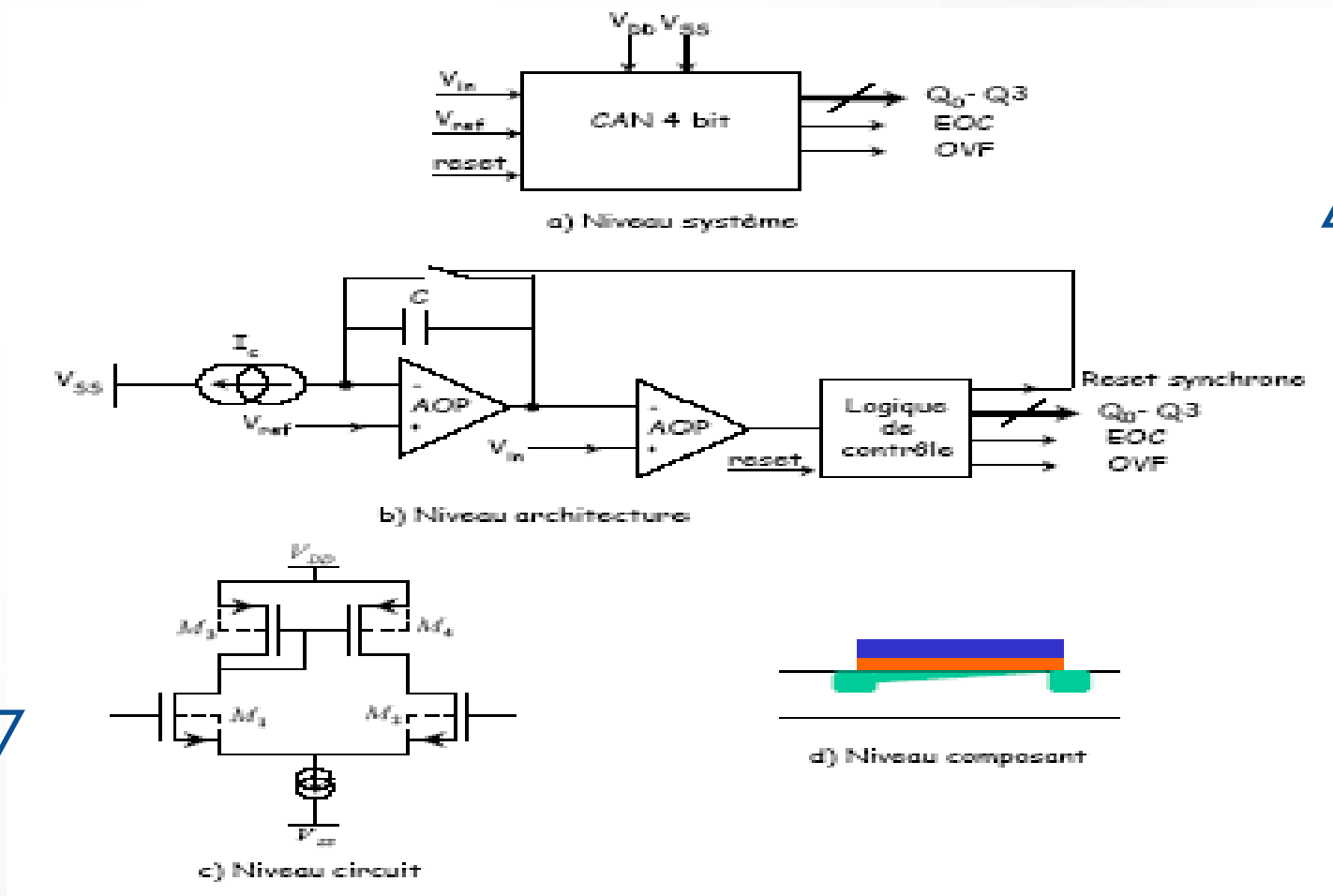
encapsulation

fondeur

Différent du numérique !!

les étapes de conception

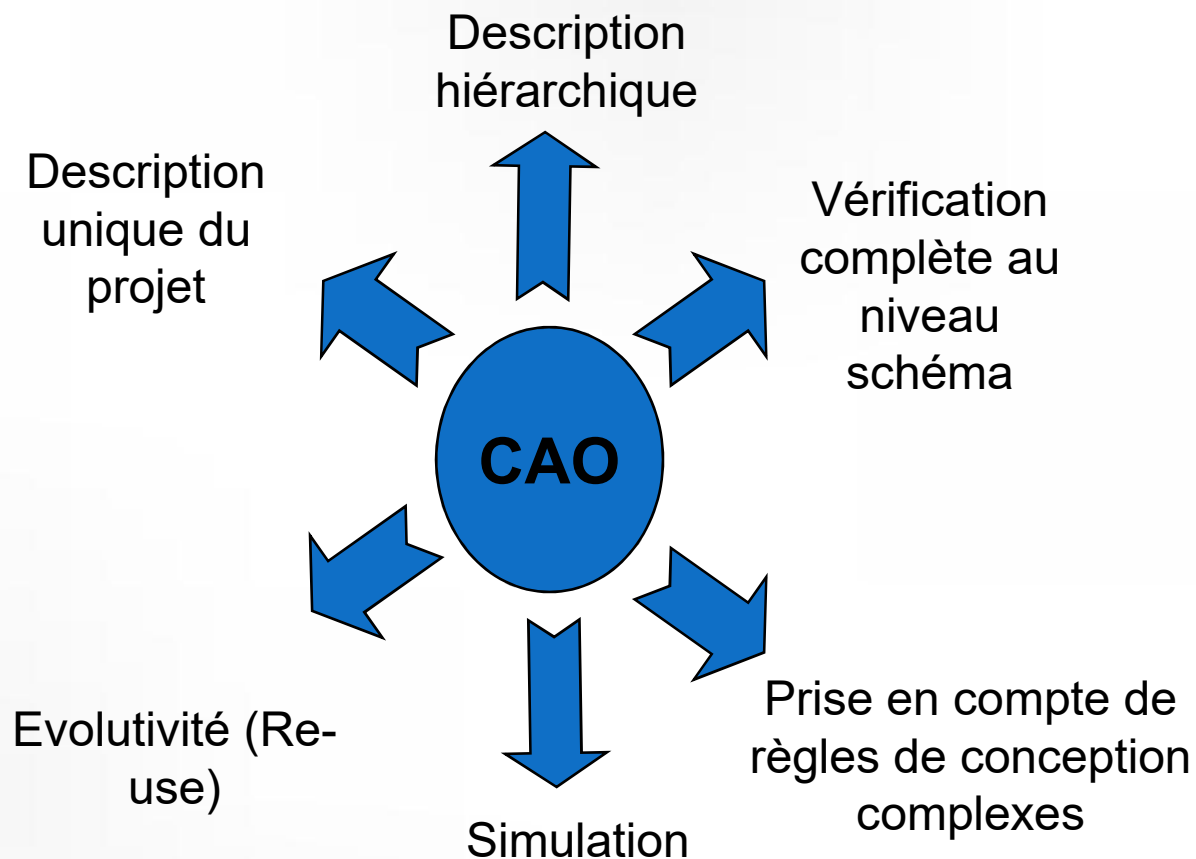
- Différents niveaux d'abstraction « du système au transistor »



La conception d'un circuit Intégré Analogique peut se faire de plusieurs façons :

- **Full custom** : La solution consiste à partir de l'élément de base (transistor etc.) pour réaliser toutes les fonctions soi-même.
- **Standard cells** : cellules standards vendues par le fondeur (amplificateur, oscillateur, convertisseur). Il faut alors placer ces cellules suivant l'ordre voulu et réaliser l'ensemble des connexions entre fonctions. C'est une méthode plus souple que la première.
- **Réseau prédiffusé** : on utilise un circuit possédant des éléments de base (transistors, résistances, capacités) et l'on se charge uniquement des connexions entre ces éléments. **Convient Plus au Numérique.**

1. Specification
2. Hand Calculations
3. Simulations
4. Layout the circuit
5. Design Rule Check
6. Extract
7. LVS
8. Post Extraction simulation
9. Fabricate
10. Test



Acteurs des CIs ds le monde

Éditeurs de logiciels pour la CAO :

Cadence, Mentor, Dolphin integration, AnaSoft

Une licence industrielle : Centaines KF (prix public)



cādence™



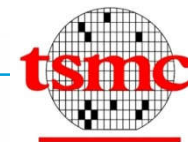
Mentor
Graphics®

Fondeur :

Europe :AMS (Austria Micro-systems), ST Microelectronics,

Asie : TSMC, UMC(Taiwan), 1st Silicon (Malésie), Epasil Tech.(Japan), Intel

USA : MOSIS, AMIS, Intel, IBM...



tsmc®



intel™

Semiconducteurs : matériaux pour CIs

- **C'est la possibilité de réaliser des matériaux semiconducteurs de type n et de type p, qui permet la réalisation des composants électroniques ou optoélectroniques.**
- Il est possible d'obtenir des matériaux semiconducteurs, où la conductivité électrique n'est assurée que par des **électrons dans la bande de conduction** (matériaux de type n) ou bien uniquement par des **trous dans la bande de valence** (matériaux de type p).
- La résistivité du semiconducteur peut être contrôlée précisément avec le niveau de dopage.

- Effet redresseur (diode).
- Effet transistor
 - Bipolaire
 - À effet de champ
- Composants optoélectroniques
 - Diode électroluminescente, diode laser
 - Capteur CCD
 - Photodiode, Phototransistor
-

Le Gap est un paramètre
essentiel

Semiconducteurs élémentaires et composés

- Quelques exemples :

IV-IV III-V II-VI IV-VI

Si	SiC	AlAs	CdS	PbS
Ge	SiGe	AlSb	CdSe	PbTe
		BN	CdTe	
		GaAs	ZnS	
		GaP	ZnSe	
		GaSb	ZnTe	
		InAs		
		InP		
		InSb		

Semiconducteurs binaires

Alliages ternaires : Arséniure de gallium-aluminium (AlGaAs, $\text{Al}_x\text{Ga}_{1-x}\text{As}$)
Arséniure de gallium-indium (InGaAs, $\text{In}_x\text{Ga}_{1-x}\text{As}$)
Phosphure de gallium-indium (InGaP)

Alliages quaternaires : Phosphure de gallium-indium-aluminium (AlGaInP, ou InAlGaP, InGaAlP, AlInGaP)
Arséniure-phosphure de gallium-aluminium (AlGaAsP)

Alliages quinaires : Arséniure-antimoniure-nitrure de gallium-indium (GaInNAsSb)
Arséniure-antimoniure-phosphure de gallium-indium (GaInAsSbP)

Quels sont les semiconducteurs utilisés ?

- ~~Le germanium~~ : L'un des premiers matériaux semiconducteurs étudié. $E_g = 0.66 \text{ eV}$
 - Le faible gap ne permet pas de travailler à des températures $>80^\circ\text{C}$
 - L'oxyde de germanium est soluble dans l'eau
- Le silicium : Candidat quasi idéal. Représente 99 % de la production mondiale. $E_g = 1.12 \text{ eV}$
 - Matériau abondant (25% de la croûte terrestre)
 - L'oxyde de silicium est un bon isolant.
 - ✓ Le faible gap ne permet pas la réalisation de composants optoélectroniques
 - ✓ Le faible gap ne permet pas de travailler à haute température ($>180^\circ\text{C}$)
- Les composés III-V (**GaAs**, **GaAlAs**, ...)
 - Matériaux pour les composants optoélectroniques
- Les matériaux à grand gap (**SiC**)
 - Matériaux pour les composants travaillant à haute température

Avantages du CMOS

Différentes Technologies :

- Technologie bipolaire
- **Technologie CMOS**
- Technologie BiCMOS
- Technologie III-V

1. Consommation statique nulle,
2. Faible coût
3. Réduction rapide de l'échelle
4. Peu de transistors pour réaliser des fcts électroniques ./ aux autres technos

Filière à caisson P

Filière à caisson N

Filière à double caisson N et P

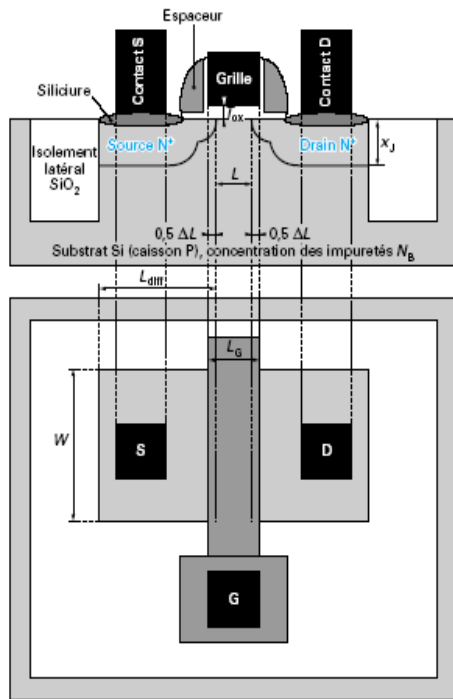
Filière SOI (substrat sur isolant)

Filière SOS (substrat sur saphir)

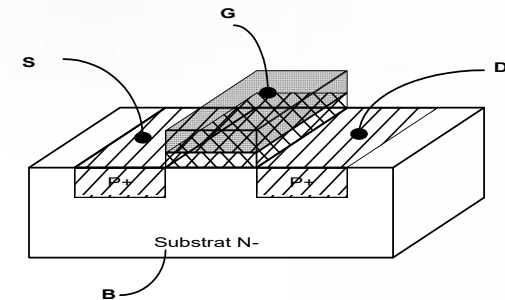
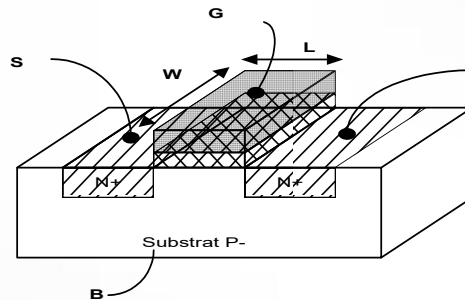
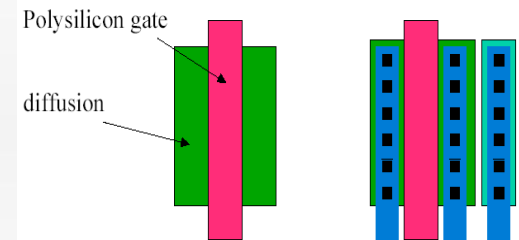
Le prix ↗

Différentes filières Technologiques :

II. Matériaux pour CIs

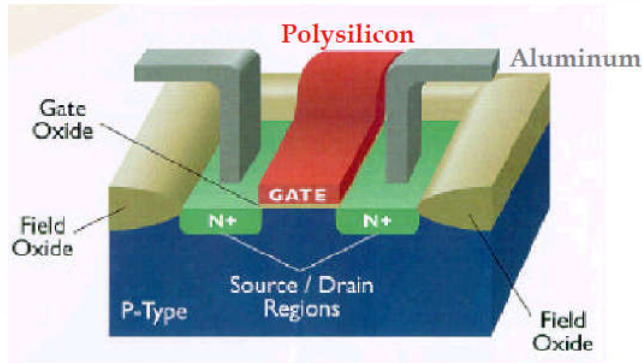


- longueur de grille : $L_G = 0,18 \text{ nm}$
- somme des diffusions latérales des jonctions source-drain : $\Delta L = 0,05 \text{ }\mu\text{m}$
- longueur du canal : $L = 0,13 \text{ }\mu\text{m}$
- longueur des régions des diffusions N^+ (source et drain) : $L_{diff} = 0,55 \text{ }\mu\text{m}$
- épaisseur de l'oxyde de grille : $T_{ox} = 4 \text{ nm}$
- profondeur des jonctions source-drain : $x_j = 0,15 \text{ }\mu\text{m}$
- largeur du transistor : $W = 0,35 \text{ }\mu\text{m}$
- concentration des impuretés dans le substrat : $N_B = 5 \times 10^{17} \text{ cm}^{-3}$

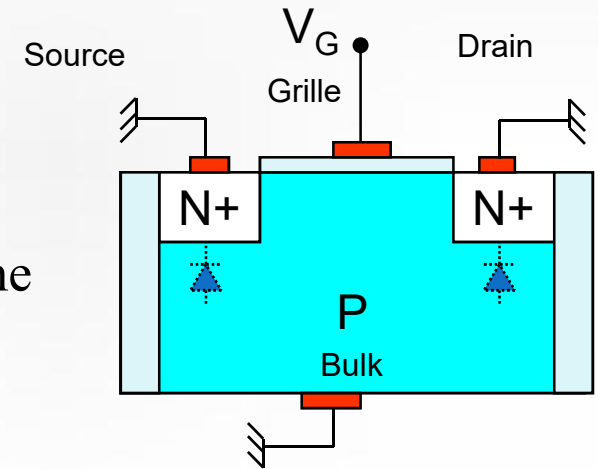


les seuls paramètres géométriques ajustables par le concepteur

- Des dimensions de la grille L (longueur du canal) et W (Largeur de la grille).
- Les dimensions du drain et source. Périmètre et surface généralement fixées aux dimensions minimales permises par la technologie pour limiter au maximum les effets parasites (courants de fuite, capacités parasites).
- De la forme du transistor et en particulier de la forme de la grille (droite, en U, en L, en S...).
- Architecture permettent un bon appariement des transistors (structure centroïde, symétrie axiale ...).

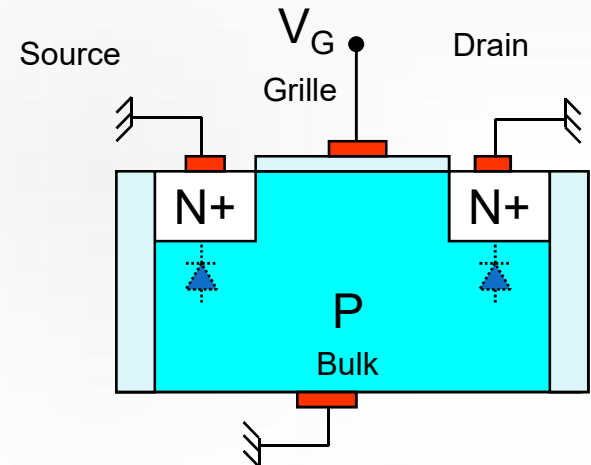


analogue à une capacité plane



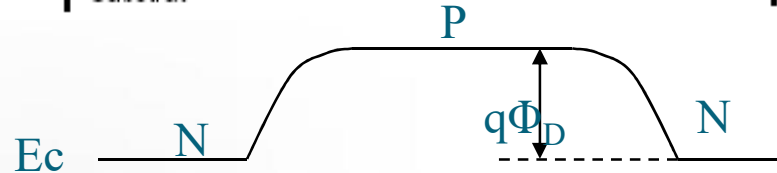
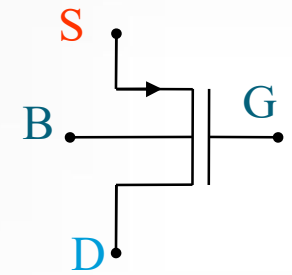
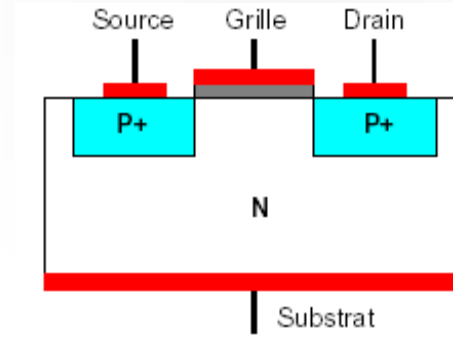
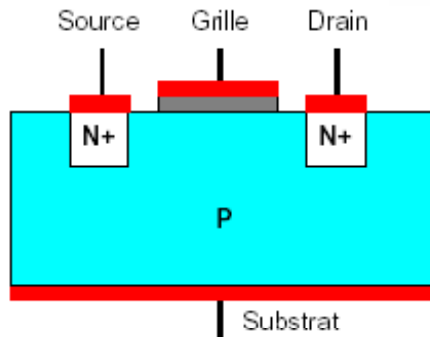
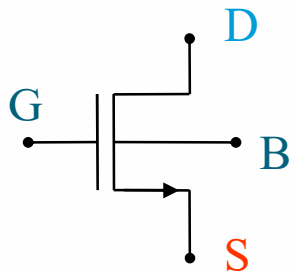
- Si $V_G < 0$: le potentiel négatif de la grille attire les trous, porteurs majoritaires du substrat de type p, près de l'interface isolant-semiconducteur où ils sont ainsi accumulés (régime **d'accumulation**).
- Si $V_G > 0$: Le potentiel positif de la grille repousse les trous et attire les électrons, la densité des trous près de l'interface diminue, c'est le régime de **déplétion**.
- Si $V_G \gg 0$: la diminution de la densité de trous au voisinage de l'interface est telle qu'elle devient inférieure à la densité des électrons. Ceux-ci qui étaient minoritaires deviennent majoritaires, et le semi-conducteur devient localement de type n au voisinage de l'interface avec l'isolant. C'est le régime **d'inversion**.

Remarques :



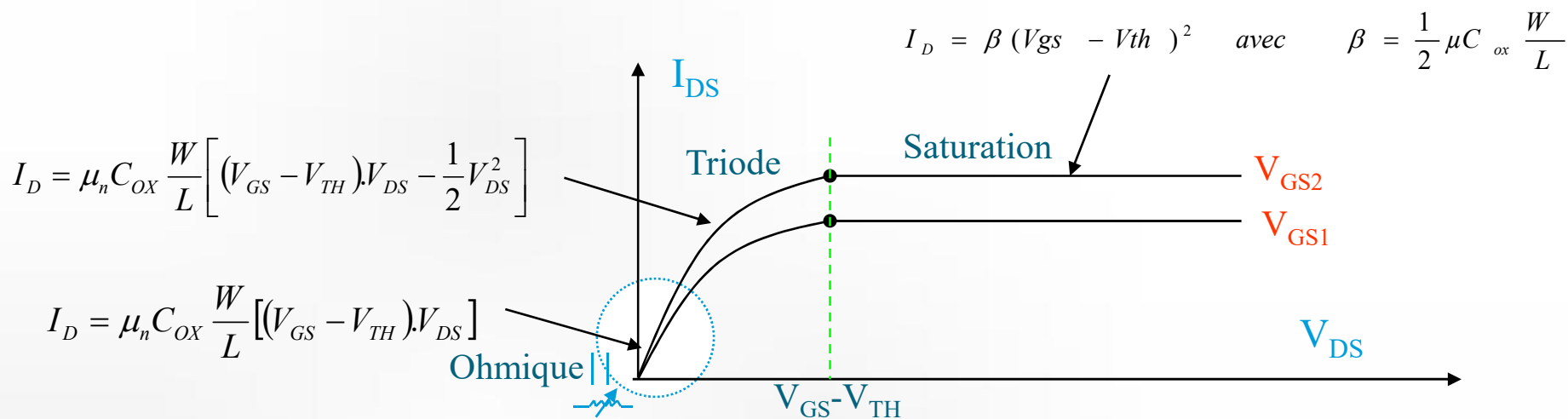
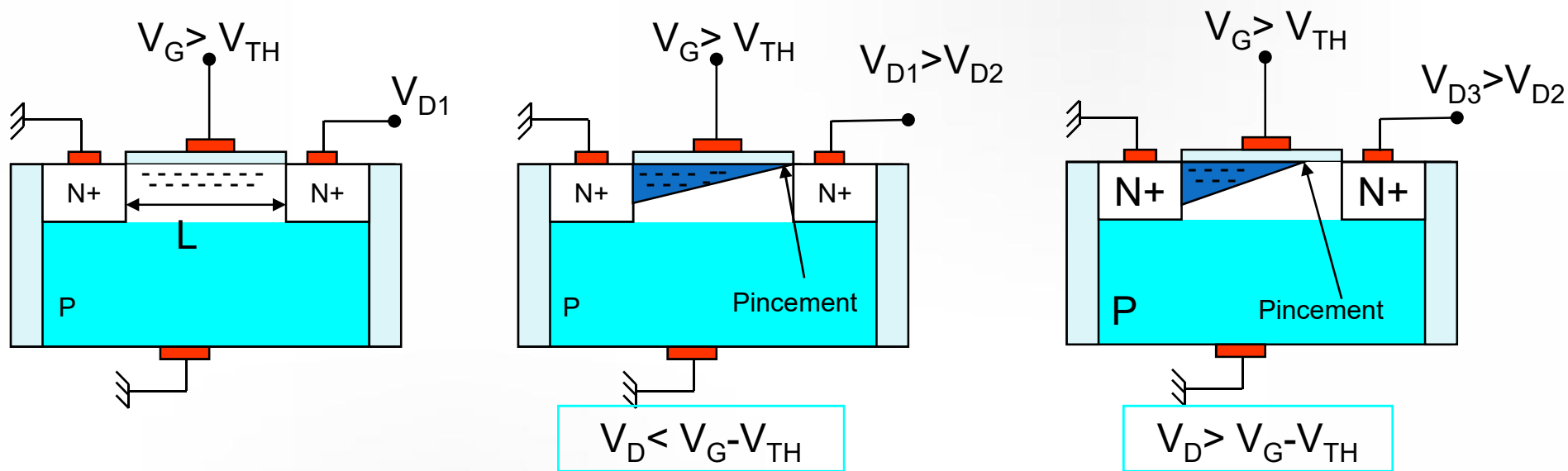
- La transition entre le régime d'accumulation et celui de déplétion n'a pas forcément lieu exactement à $V_G = 0$, et le potentiel correspondant à cette transition dépend du dopage du substrat utilisé par le biais de son potentiel chimique.
- Le potentiel de transition entre le régime de déplétion et le régime d'inversion est un paramètre essentiel de la structure noté V_{TH} .
- La grille était initialement réalisée en aluminium. Actuellement, pour des raisons de fiabilité, en particulier pour les faibles épaisseurs d'oxyde, on réalise la grille en silicium polycristallin fortement dopé appelé **polysilicium**.

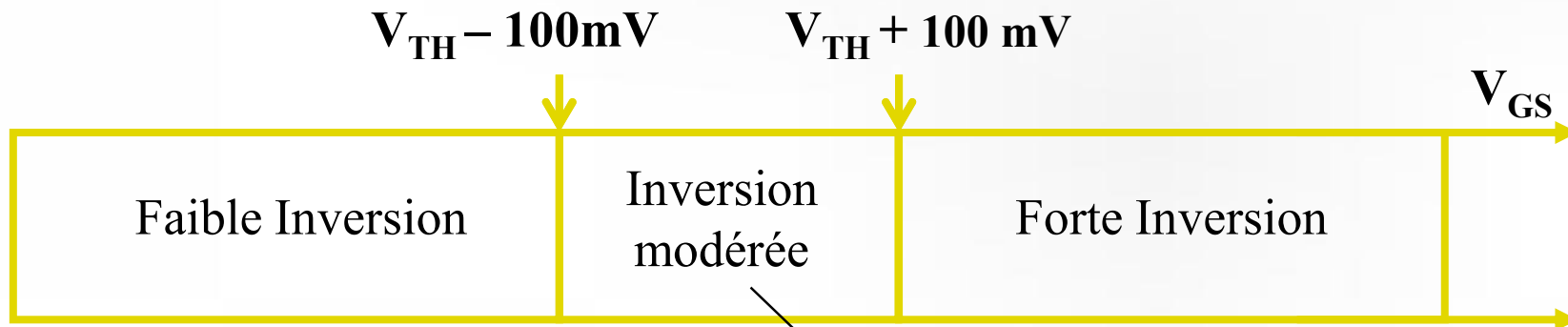
Un transistor MOS est une structure hétérogène, à 4 connections.



- Choix d'un fort dopage pour source et drain pour avoir un contact métal semi-conducteur de type ohmique pour les fils de connexion.
- Structure géométriquement symétrique

Un transistor MOS est une structure hétérogène, à 4 connections.

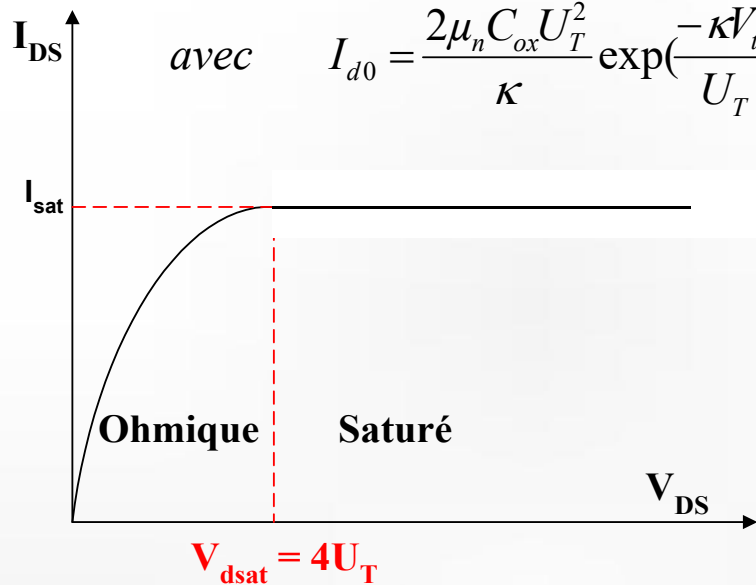




$$I_D = I_{d0} \frac{W}{L} \exp\left(\frac{\kappa}{U_T} V_G\right) \left[\exp\left(\frac{V_s}{U_T}\right) - \exp\left(\frac{V_d}{U_T}\right) \right]$$

Modèle : BSIM6, EKV, ACM

avec
$$I_{d0} = \frac{2\mu_n C_{ox} U_T^2}{\kappa} \exp\left(\frac{-\kappa V_{th}}{U_T}\right)$$



Le coefficient d'inversion I_C permet de connaître le régime de fonctionnement du transistor

$$I_C = \frac{I_D}{2K' \frac{W}{L} U_T^2}$$

$$K' = \frac{\mu_n C_{OX}}{2} = 2K_n$$

1. Si $I_C < 0,1$ alors régime de faible inversion
2. Si $0,1 < I_C < 10$ alors régime d'inversion modérée
3. Si $I_C > 10$ alors régime de forte inversion

$$I_D = f(V_{GS}, V_{BS}, V_{DS})$$

- Transconductance de grille

$$g_m = \left. \frac{\partial I_{DS}}{\partial V_{GS}} \right|_{V_s, V_D}$$

- Transconductance du substrat

$$g_{mb} = \left. \frac{\partial I_{DS}}{\partial V_{BS}} \right|_{V_G, V_D}$$

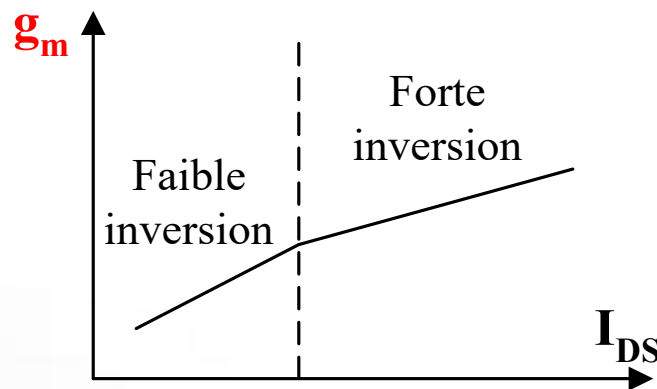
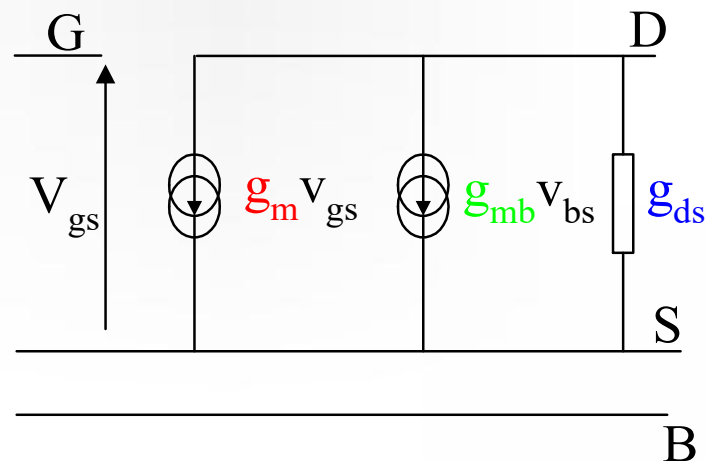
- Conductance drain-source

$$g_{ds} = \left. \frac{\partial I_{DS}}{\partial V_{DS}} \right|_{V_G, V_s} = \frac{1}{r_{DS}}$$

$$g_{mb} = \eta g_m$$

$$r_{ds} = 1/\lambda I_D$$

η et λ dépendent de la technologie



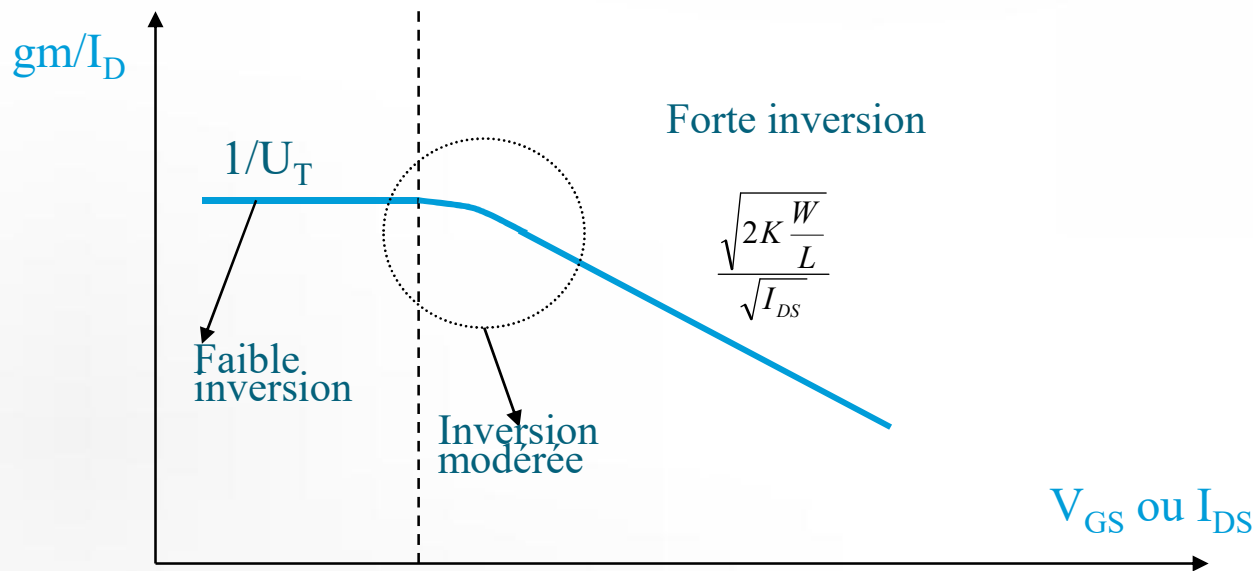
Avec :

$$\eta = \frac{\gamma}{2\sqrt{V_{SB} + 2\Phi_F}}$$

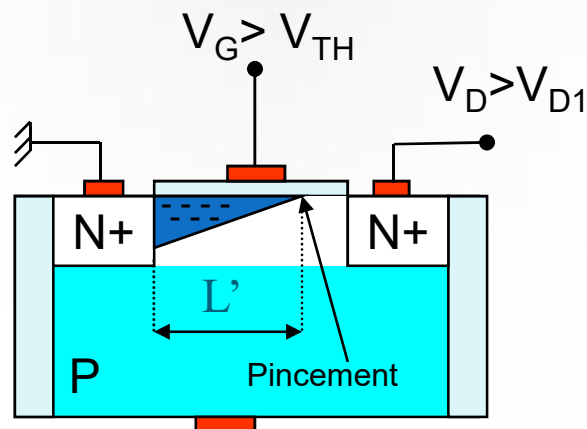
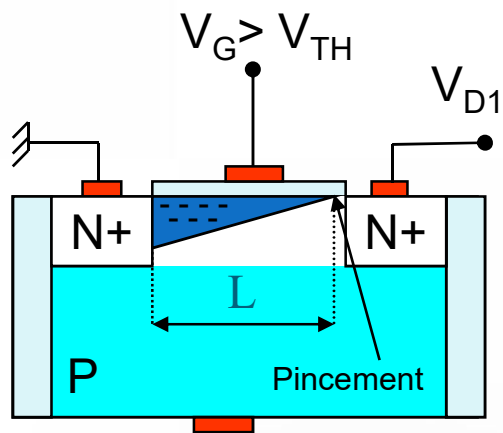
La transconductance donne la capacité du transistor à « amplifier » la tension appliquée sur la grille

L'effet de la résistance de sortie : On parle de $g_m \cdot r_{ds}$

Comme r_{ds} dépend du courant, on préfère le facteur de mérite g_m/I_D



L diminue avec l'augmentation de VDS



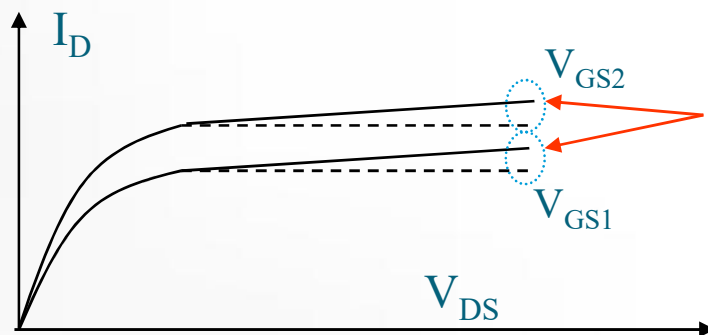
$$L' = L - \Delta L$$



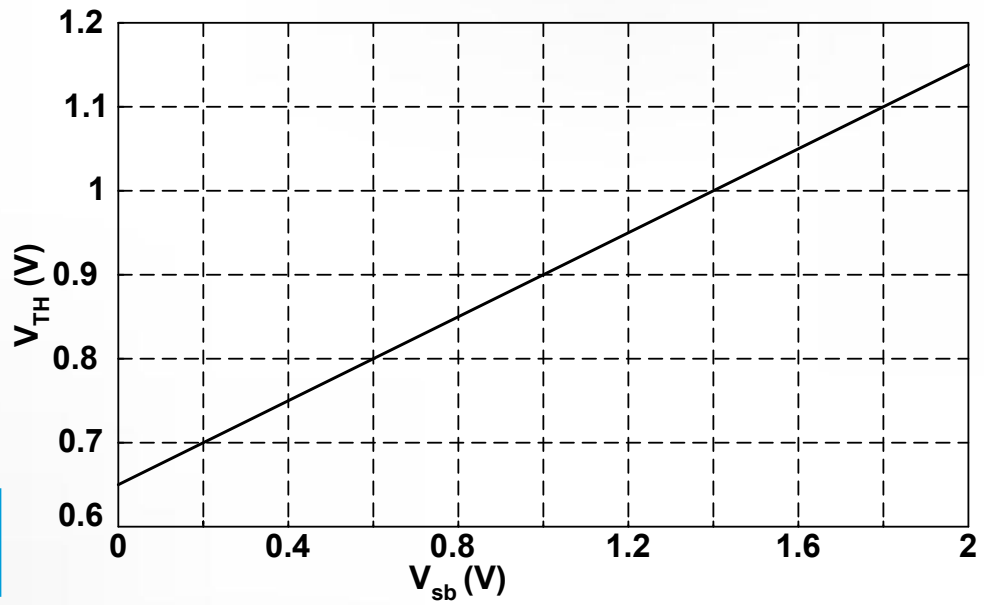
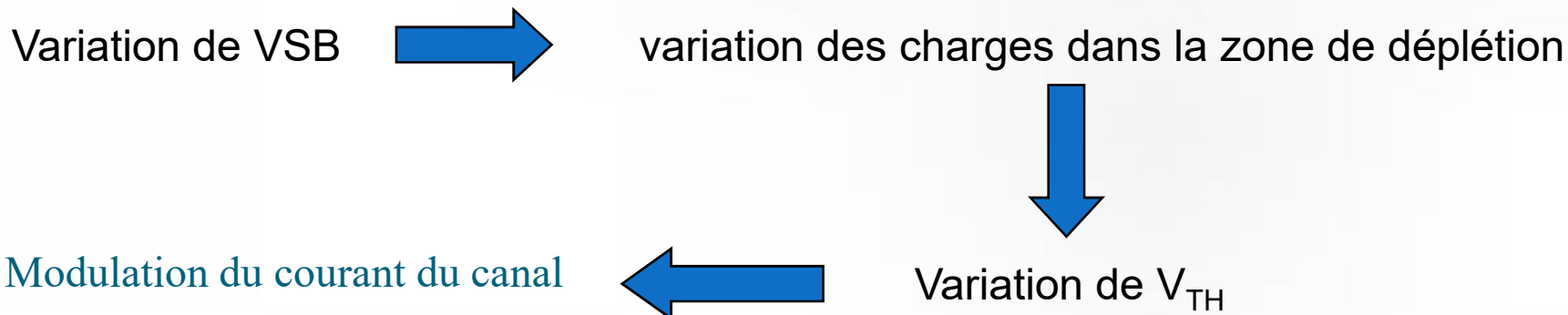
$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS})$$

$$\lambda \propto \frac{1}{L}$$

Pour canal Long



Effet de la modulation du canal



Coefficient de l'effet du substrat

(0.3 à 0.4 $V^{1/2}$)

$$V_{TH} = V_{TH0} + \gamma \left(\sqrt{|2\Phi_F + V_{SB}|} - \sqrt{|2\Phi_F|} \right)$$

$$\gamma = \frac{\sqrt{2q\epsilon_{si}N_{sub}}}{C_{ox}}$$

$$V_{TH0} = \Phi_{MS} + 2\Phi_F + \frac{Q_{DEP}}{C_{ox}}$$

$$\Phi_F = (kT/q) \ln(N_{sub}/n_i)$$

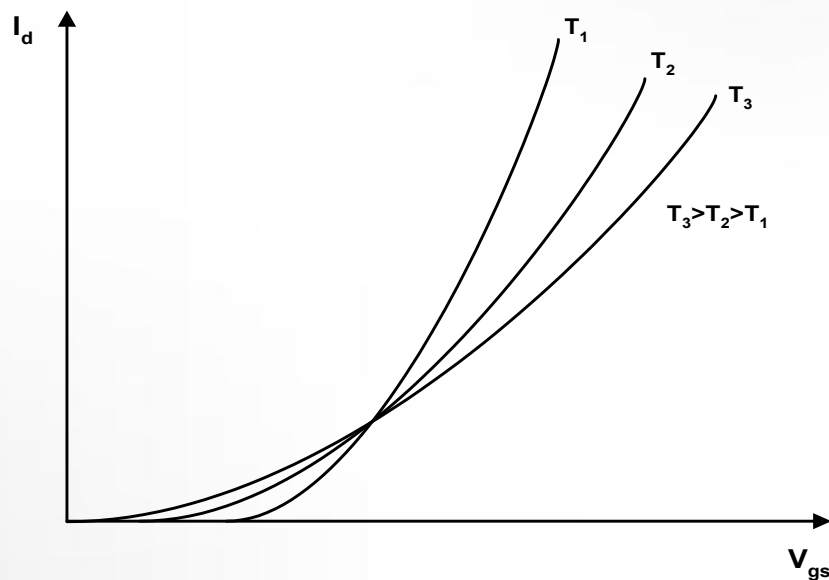
Φ_{MS} travail de sortie metal-Si

1. Dépendance de la tension de seuil :

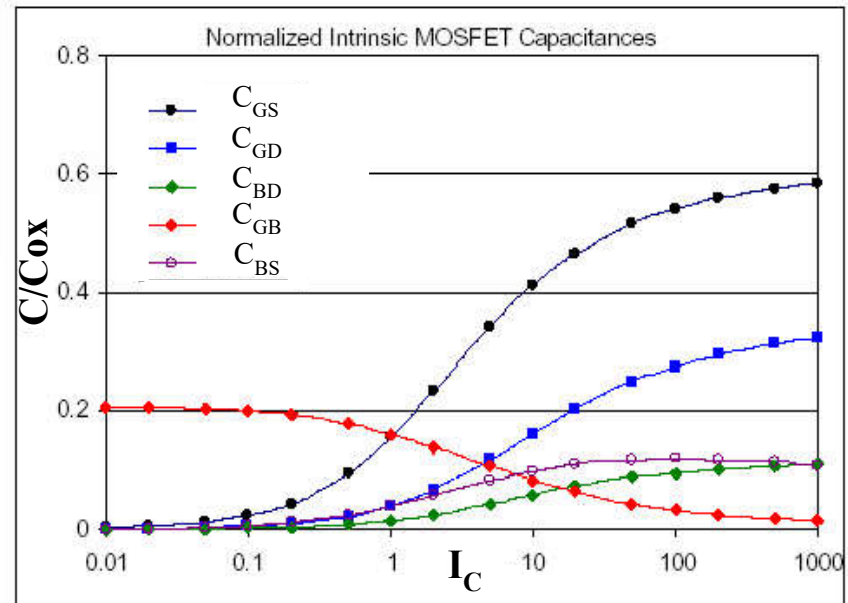
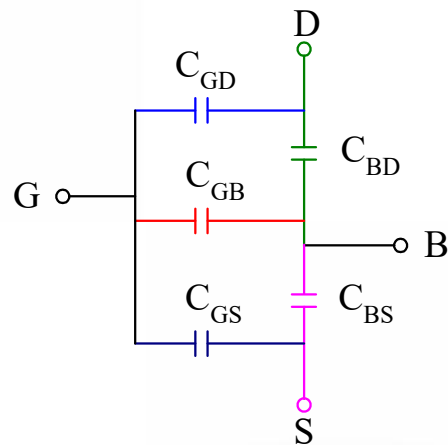
$$V_{TH} = V_{TH}(T) = V_{TH0} + \alpha(T - T_0)$$

2. Dépendance de la mobilité

$$\mu = \frac{\mu_0}{T}$$



La combinaison de ces deux lois détermine la variation de IDS avec la température, le courant IDS diminue avec T en forte inversion alors qu'il augmente en faible inversion



(Cunha et al, Sol. Stat. Cir. 1998)

- Elles dépendent du mode de fonctionnement du transistor
- Des dimensions et des formes géométriques
- De la technologie utilisée

Pour les premiers Calculs

	Faible inversion	Linéaire Forte inversion	Saturation Forte inversion
C_{GS}	$WL_D C_{OX}$	$WL_D C_{OX} + \frac{1}{2} WLC_{OX}$	$WL_D C_{OX} + \frac{2}{3} WLC_{OX}$
C_{GD}	$WL_D C_{OX}$	$WL_D C_{OX} + \frac{1}{2} WLC_{OX}$	$WL_D C_{OX}$
C_{SB}	$\frac{1}{\left(1 - \frac{V_{BS}}{\phi_B}\right)^m} (A_D C_{js} + P_D C_{jp})$	$C_{SB} + \frac{C_{chB}}{2}$	$\frac{1}{\left(1 - \frac{V_{BD}}{\phi_B}\right)^m} ((A_D + A_{ch}) C_{js} + P_D C_{jp})$
C_{DB}	$\frac{1}{\left(1 - \frac{V_{BD}}{\phi_B}\right)^m} (A_S C_{js} + P_S C_{jp})$	$C_{DB} + \frac{C_{chB}}{2}$	$\frac{1}{\left(1 - \frac{V_{BS}}{\phi_B}\right)^m} (A_S C_{js} + P_S C_{jp})$

C_{OX} capacité d'oxyde par unité de surface

Φ_B : barrière potentiel jonction

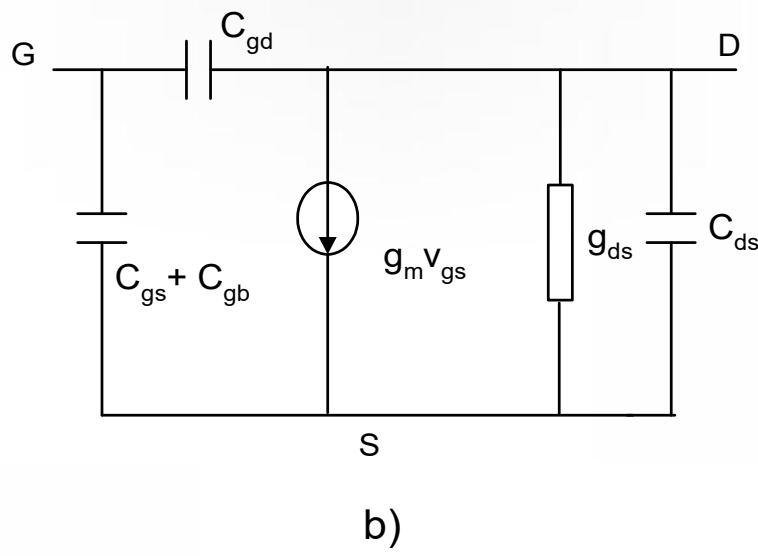
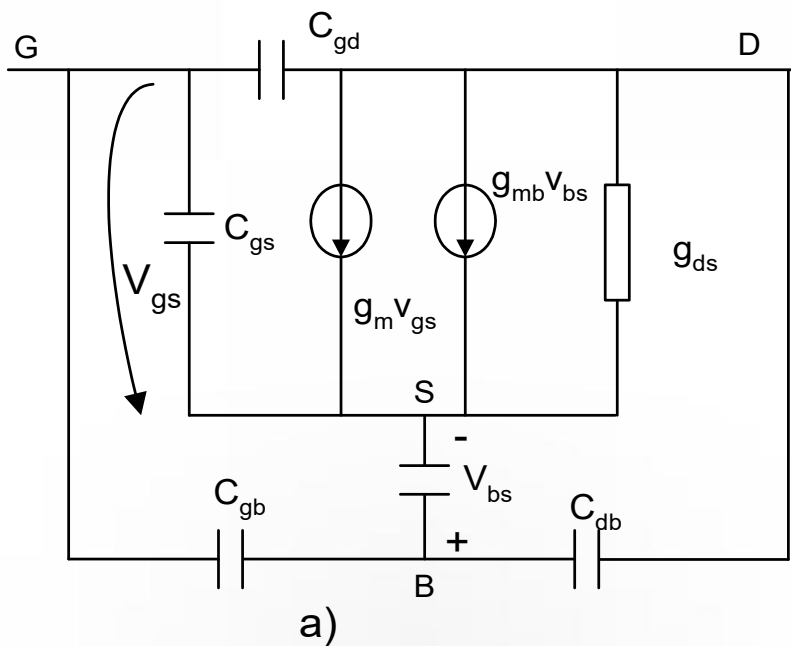
$0.3 < m < 0.4$

$$C_{OX} = \frac{\epsilon_{ox}}{t_{ox}}$$

ϵ_{ox} = permittivité diélectrique de SiO2

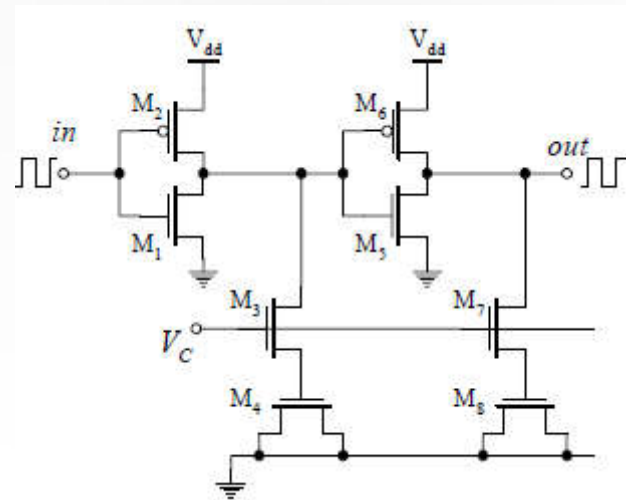
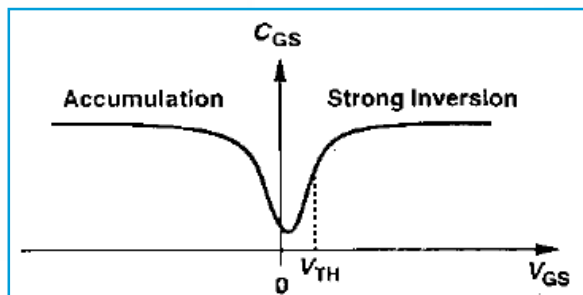
t_{ox} = épaisseur de l'isolant

Bulk lié à la source

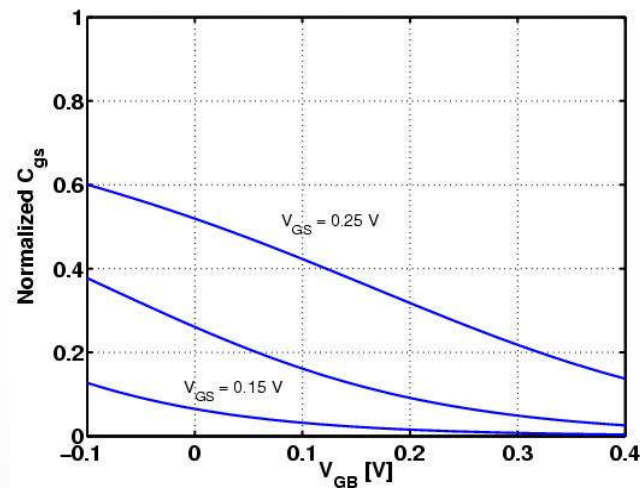
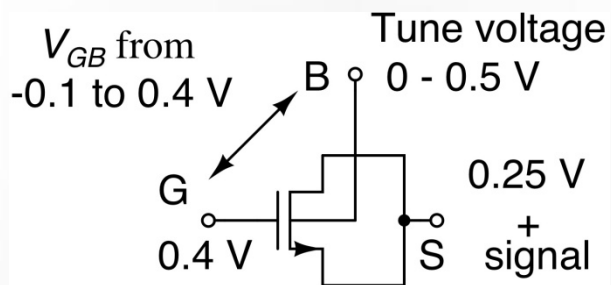


Modèle HF du MOS

Remarque: Utilisation du MOS comme capacité intégrée

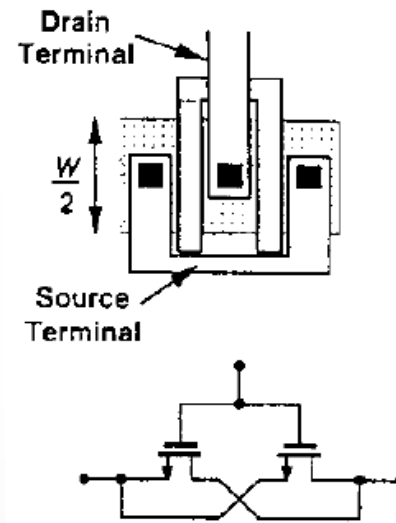
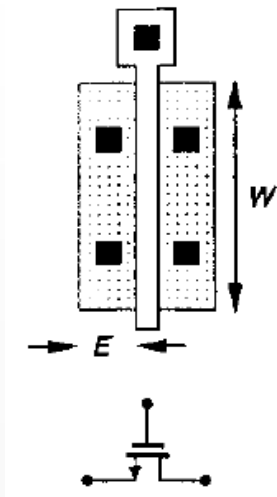
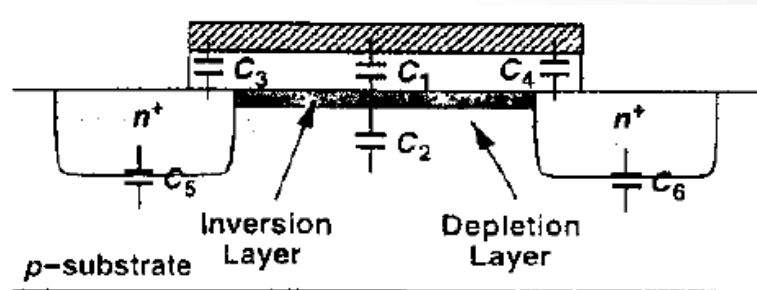


■ Exemple : Weak-Inversion MOS Varactors

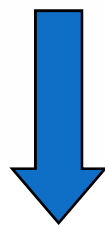


S. Chatterjee, T. Musah, Y. Tsvetkov, and P. Kinget. Weak inversion MOS varactors for 0.5 V analog integrated filters. In *Symposium on VLSI Circuits, Digest of Technical Papers*, pages 272-275, Jun. 2005.

Calculer les capacités parasites source et drain des deux structures suivantes



Variations aléatoires des procédés de fabrication (variation de l'épaisseur, de la mobilité, quantité de charge dans le canal...)



1. déviation de V_{Th}
2. déviation du facteur de transconductance β

Selon Pelgrom

$$\sigma_{V_{Th}}^2 = \frac{A_{V_{Th}}^2}{WL} + S_{V_{T0}}^2 D^2 \approx \frac{A_{V_{Th}}^2}{WL}$$

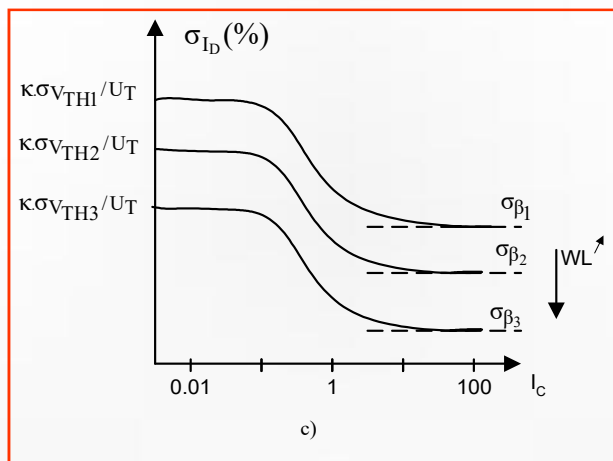
$$\sigma_{\beta}^2 = \frac{A_{\beta}^2}{WL} + S_{\beta}^2 D^2 \approx \frac{A_{\beta}^2}{WL}$$

$A_{V_{Th}}$, A_{β} , $S_{V_{T0}}$ et S_{β} sont des coefficients propres à la technologie utilisée
 D est la distance entre deux transistors.

On démontre que :

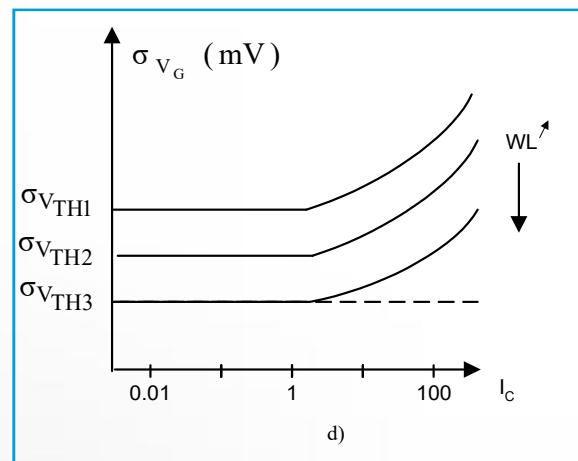
Pour deux transistors ayant la même tension de grille

$$\frac{\sigma_{I_{DS}}}{I_{DS}} = \sqrt{\left(\frac{\sigma_{\beta}}{\beta}\right)^2 + \left(\frac{g_m}{I_{DS}}\right)^2 (\sigma_{V_{TH}})^2}$$



Pour deux transistors ayant les mêmes tension de source et courant de drain

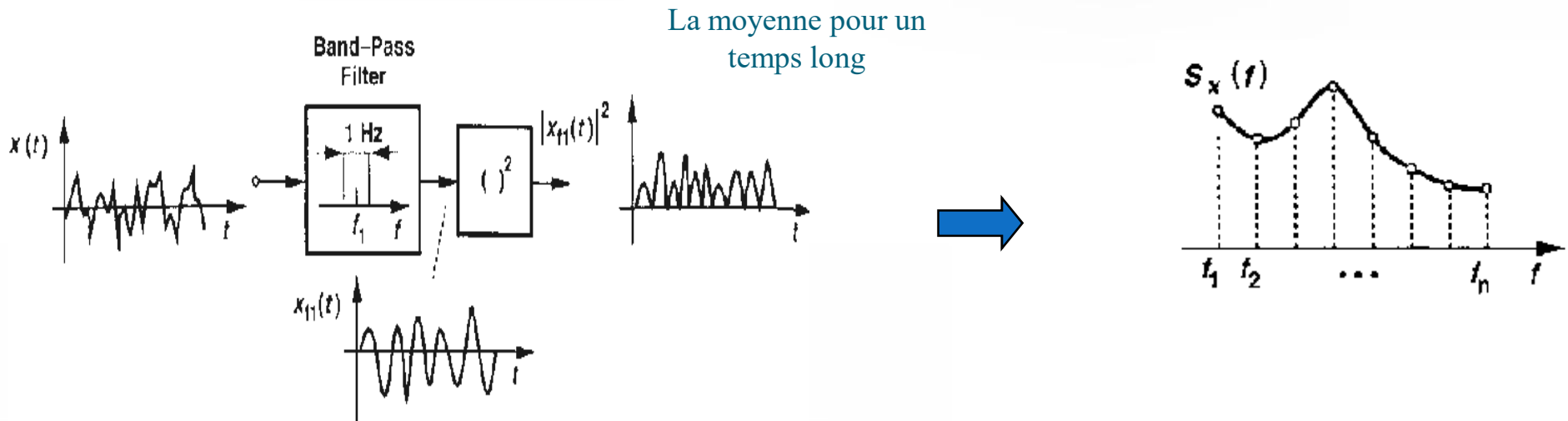
$$\sigma_{\Delta V_G} = \sqrt{(\sigma_{V_{TH}})^2 + \left(\frac{I_{DS}}{g_m}\right)^2 \left(\frac{\sigma_{\beta}}{\beta}\right)^2}$$



Rappel :

Le bruit est un phénomène aléatoire, sa valeur instantanée ne peut pas être prédit à un instant donné.

Pour caractériser le bruit, un modèle statistique est réalisé à partir des observations et des mesures pour un temps très grand. On utilise alors la densité spectrale (PSD):



La valeur RMS :
$$V_{n(rms)} \equiv \left[\frac{1}{T} \int_0^T v_n^2(t) dt \right]^{1/2}$$

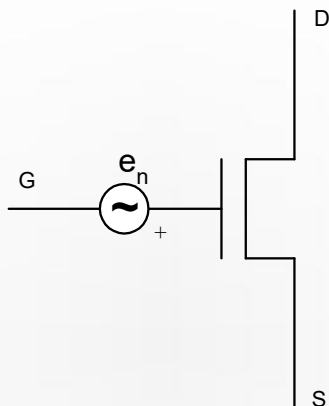
Unité $V/(Hz)^{1/2}$ ou $V^2/(Hz)$

bruit @ 100MHz = 3 n $V/(Hz)^{1/2}$

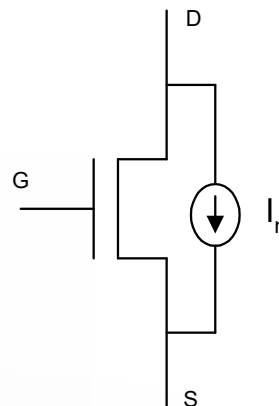
Bruit Blanc { **Bruit thermique** : Associé aux porteurs dans le canal
Bruit de grenaille : Ce type de bruit est dû à la nature discrète du flux d'électrons

Bruit Rose : Bruit de **Flicker** : lié aux électrons piégés à l'interface SiO₂/semi conducteur

Deux représentations possibles du bruit:



Représentation en mode tension



Représentation en mode courant

Bruit thermique :

$$\begin{cases} S_{th} = 4KTR_{MOS}\Delta f & \text{En région ohmique} \\ S_{th} = \frac{2}{3} \frac{I}{g_m} 4KT\Delta f & \text{En saturation} \end{cases}$$

K, constante de boltzman

T, température en Kelvin

R, résistance du canal en régime ohmique

gm, transconductance du MOS

Bruit de Flicker

$$S_{1/f} = \frac{K_F}{WLC_{ox}^\alpha} \frac{\Delta f}{f}$$

KF : coefficient de bruit 1/f

α : a une valeur entre 1 et 2

f la fréquence

- Le deux sources de courant sont non corrélées, on a alors :

$$S_{\text{noise}} = S_{\text{th}} + S_{1/f}$$

- La tension correspondant à cette densité spectrale, dans la bande de fréquences $[f1, f2]$:

$$V = \sqrt{\int_{f1}^{f2} S_{\text{noise}} df}$$

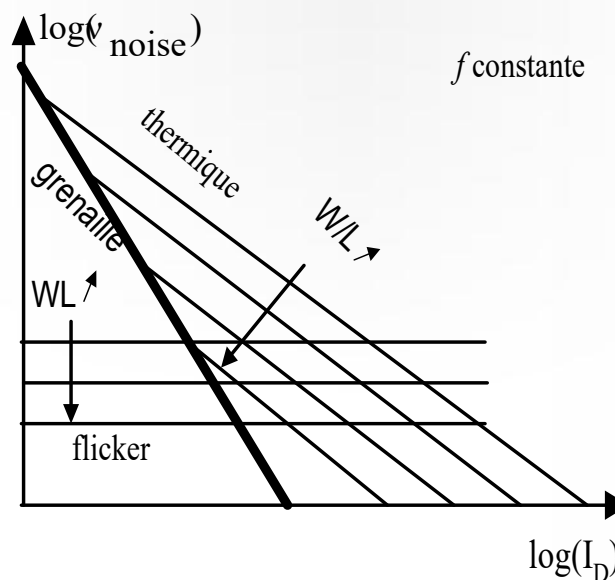
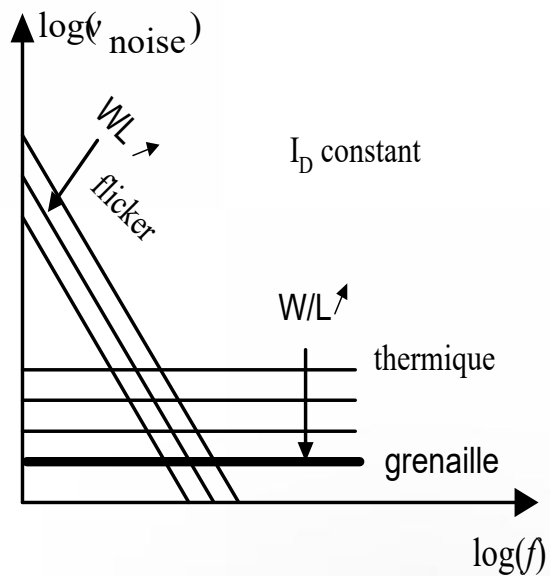
- Pour passer en représentation mode courant :

- Densité spectrale

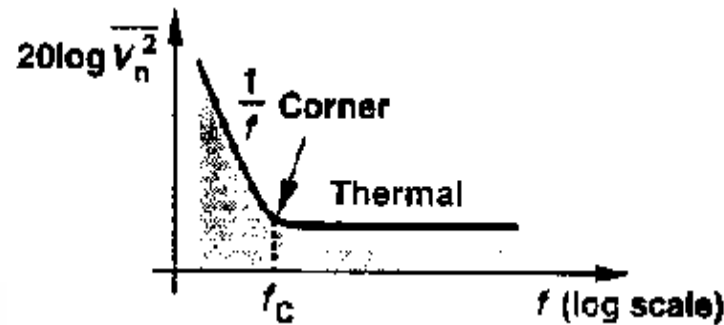
$$S_{i,\text{noise}} = g_m^2 S_{v,\text{noise}}$$

- Courant associé

$$I_{\text{noise}} = g_m V_{\text{noise}}$$



Évolution en fonction des paramètres géométriques et du mode de fonctionnement du transistor du bruit du transistor MOS



Le point d'intersection entre le bruit en 1/f et le bruit thermique est appelé la fréquence de coin « corner frequency »

$$4kT \left(\frac{2}{3} g_m \right) = \frac{K}{C_{ox} W L} \cdot \frac{1}{f_c} \cdot g_m^2$$

$$f_c = \frac{K}{C_{ox} W L} \frac{3}{8kT} g_m$$

Level 1

NMOS Model

LEVEL = 1	VTO = 0.7	GAMMA = 0.45	PHI = 0.9
NSUB = 9e+14	LD = 0.08e-6	UO = 350	LAMBDA = 0.1
TOX = 9e-9	PB = 0.9	CJ = 0.56e-3	CJSW = 0.35e-11
MJ = 0.45	MJSW = 0.2	CGDO = 0.4e-9	JS = 1.0e-8

PMOS Model

LEVEL = 1	VTO = -0.8	GAMMA = 0.4	PHI = 0.8
NSUB = 5e+14	LD = 0.09e-6	UO = 100	LAMBDA = 0.2
TOX = 9e-9	PB = 0.9	CJ = 0.94e-3	CJSW = 0.32e-11
MJ = 0.5	MJSW = 0.3	CGDO = 0.3e-9	JS = 0.5e-8

VTO: threshold voltage with zero V_{SB} (unit: V)

GAMMA: body effect coefficient (unit: $V^{1/2}$)

PHI: $2\Phi_F$ (unit: V)

TOX: gate oxide thickness (unit: m)

NSUB: substrate doping (unit: cm^{-3})

LD: source/drain side diffusion (unit: m)

UO: channel mobility (unit: $cm^2/V/s$)

LAMBDA: channel-length modulation coefficient (unit: V^{-1})

CJ: source/drain bottom-plate junction capacitance per unit area (unit: F/m²)

CJSW: source/drain sidewall junction capacitance per unit length (unit: F/m)

PB: source/drain junction built-in potential (unit: V)

MJ: exponent in CJ equation (unitless)

MJSW: exponent in CJSW equation (unitless)

CGDO: gate-drain overlap capacitance per unit width (unit: F/m)

CGSO: gate-source overlap capacitance per unit width (unit: F/m)

JS: source/drain leakage current per unit area (unit: A/m²)

0.5 μ m technology

Application petit signal

Calcul numérique

Déterminer pour un transistor NMOS, les paramètres suivants :

- La transconductance de grille
- La transconductance de substrat
- La résistance de sortie
- La capacité C_{gs}

Paramètres :

$$U_T = 26 \text{ mV}$$

$$I_d = 100 \text{ } \mu\text{A}$$

$$V_{bs} = 2 \text{ V}$$

$$W = 30 \text{ } \mu\text{m}$$

$$L = 10 \text{ } \mu\text{m}$$

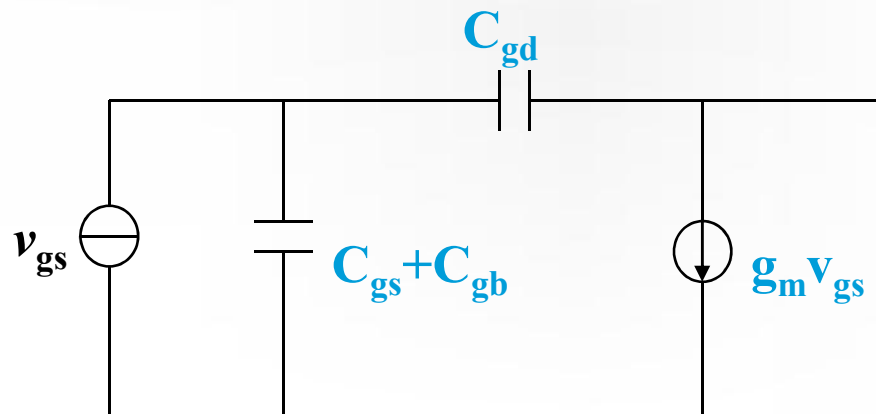
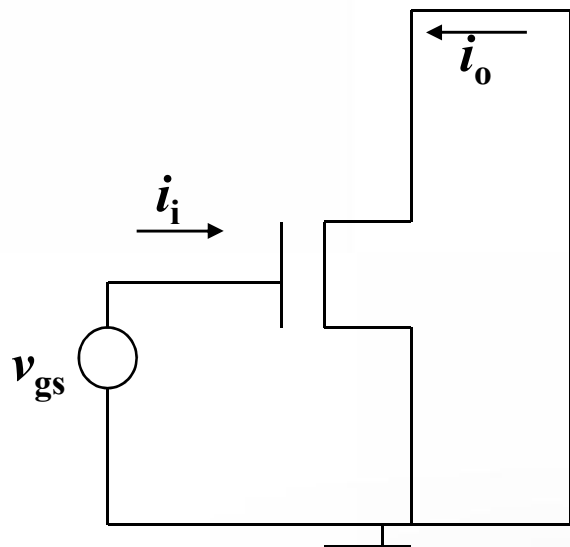
$$\gamma = 0.5 \text{ V}^{1/2}$$

$$\lambda = 0.02 \text{ V}^{-1}$$

$$\Phi_F = 0.3 \text{ V}$$

$$K_n = 16 \text{ } \mu\text{A/V}^2$$

$$\mu_n = 650 \text{ cm}^2/\text{V.s}$$



$V_{bs} = v_{ds} = 0 \rightarrow g_{mb}, r_{out}, C_{sb}$ négligeables

$$i_i = s(C_{gs} + C_{gb} + C_{gd})v_{gs}$$

Si on néglige le courant dans C_{gd} :

$$i_o = g_m v_{gs}$$

D'où le résultat

$$f_c = \frac{g_m}{2\pi(C_{GS} + C_{GD})}$$

Effet des capacités parasites = Limitation de la bande passante

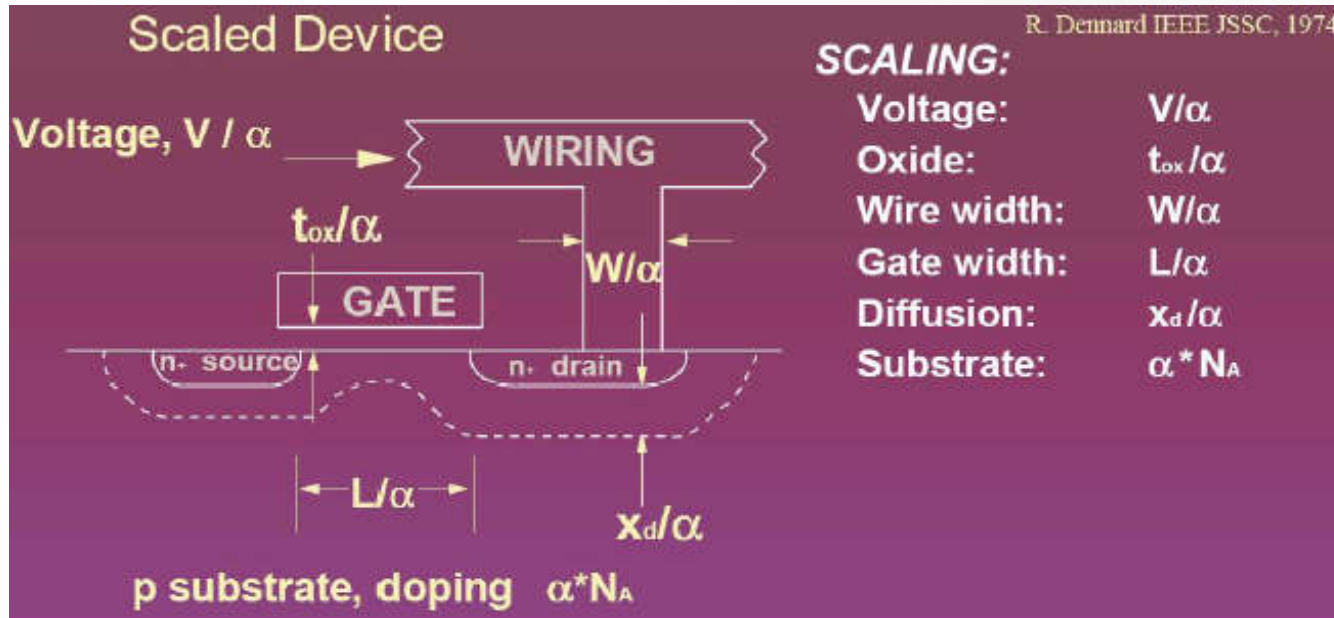
En utilisant l'expression de g_m on a :

$$f_c = \frac{g_m}{2 \pi (C_{GS} + C_{GD})}$$

$$f_c = 1.5 \frac{\mu_n}{2 \pi L^2} (V_{gs} - V_{th})$$

La fréquence de coupure dépend donc de :

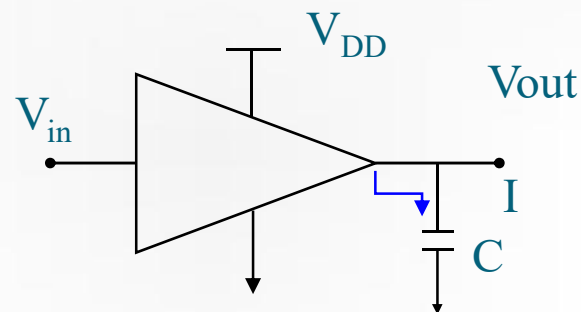
1. De la longueur du canal
2. De la tension d'alimentation



Coûts de cette réduction:

- fuites de courant
- champ électrique élevé
- difficultés technologiques
- modélisation + complexe
- packaging contraintes

Pour le numérique :



$$T_{\text{delay}} = \left(\frac{C}{I} \right) V_{DD}$$

$$P = f C V_{DD}^2$$



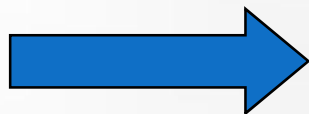
$$T_{\text{delay, scaled}} = \frac{C/\alpha}{I/\alpha} \frac{V_{DD}}{\alpha} = \left(\frac{C}{I} V_{DD} \right) \frac{1}{\alpha}$$



$$P_{\text{Scaled}} = f (C/\alpha) (V_{DD}/\alpha)^2 = (f C V_{DD}^2) / \alpha^3$$



Augmentation de la densité par un facteur α^2



Très attractive pour les circuits numériques

Pour L'analogique

$$g_m = \mu C_{OX} \frac{W}{L} (V_{GS} - V_{TH})$$

$$r_{ds,scaled} = \frac{1}{\lambda I_D}$$

$$g_{m,scaled} = \mu(\alpha C_{OX}) \frac{W/\alpha}{L/\alpha} \frac{V_{GS} - V_{TH}}{\alpha}$$

$$= \mu C_{OX} \frac{W}{L} (V_{GS} - V_{TH})$$

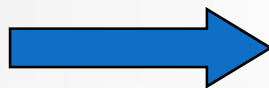
$$r_{ds,scaled} = \frac{1}{\alpha \lambda \frac{I_D}{\alpha}}$$

$$= \frac{1}{\lambda I_D}$$

Le gain intrinsèque du MOS $g_m r_{ds}$ est constant

Réduction de l'échelle Plutôt Des contraintes sévères pour l'analogique

Réduction de V_{DD}



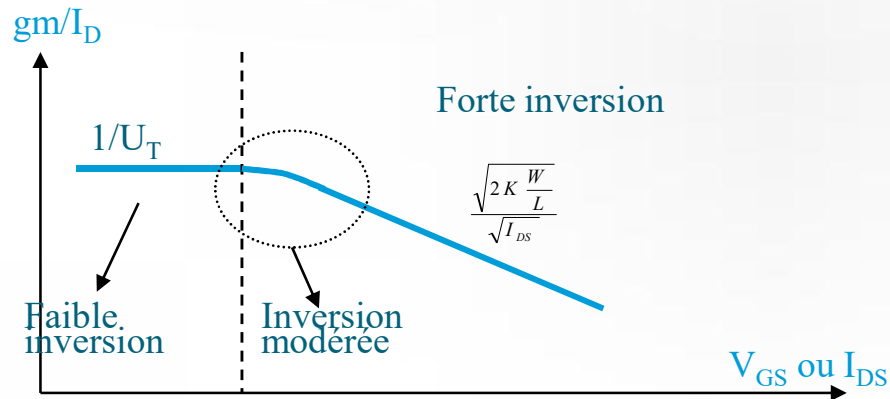
Réduction de la dynamique



Pour garder la même dynamique il faut augmenter le courant donc la consommation

Low Voltage

Low Power



D'après la courbe $g_m/I_{DS} = f(V_{GS})$, à courant constant, le g_m/I_D est maximum lorsque l'on place le MOS en inversion faible.

Cependant pour garder I_{DS} constant et se placer en inversion faible, il faut diminuer V_{GS} et augmenter W/L . L'augmentation de W/L est souvent prohibitive et l'on se trouve confronté au problème des capacités parasites. Inversement, si l'on diminue V_{GS} sans augmenter W/L , les courants deviennent si faibles qu'il est impossible de charger les capacités parasites en des temps raisonnables!

C'est en polarisant le MOS en inversion modérée qu'on l'utilise le plus efficacement possible, i.e. que sa transconductance g_m est forte sans avoir besoin d'un courant de polarisation trop élevé.

Effet du champ vertical : Dégradation de la mobilité

L'épaisseur de l'oxyde diminue ce qui augmente le champ électrique entre la grille et le canal

Une grande force perpendiculaire existe, qui diminue la mobilité effective des porteurs dans le canal.

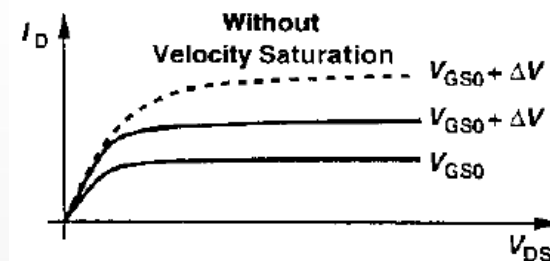
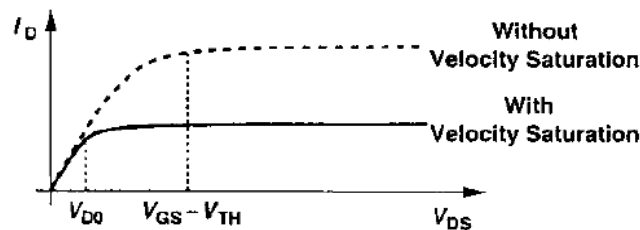
$$I_D = \frac{\mu_n}{1 + \theta(V_{GS} - V_{TH})} \frac{W}{2L} (V_{GS} - V_{TH})^2 \quad \text{avec :} \quad \theta \approx \frac{2 \times 10^{-9} \text{ m/V}}{t_{OX}}$$

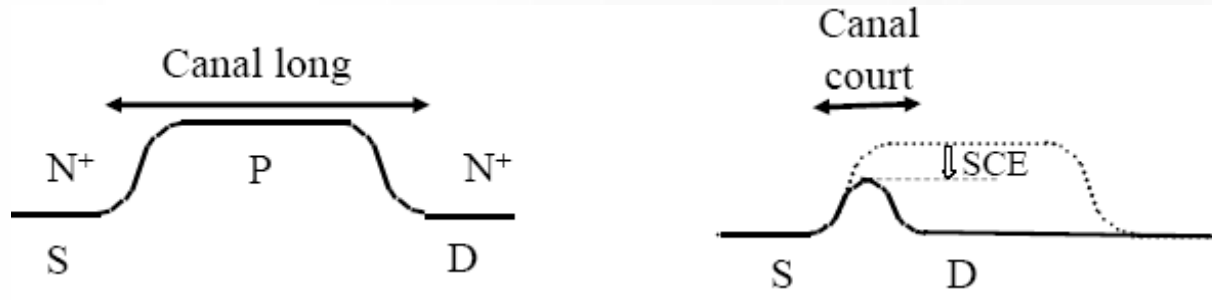
Effet du champ latéral : saturation de la vitesse des porteurs

Pincement avant $V_{GS} - V_{TH}$

Saturation de la vitesse

Réduction de I_D et de g_m

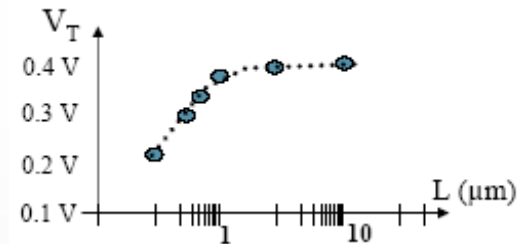
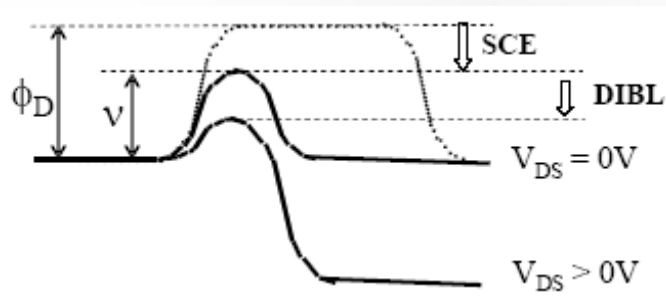




La superposition de zones de charges d'espaces des jonctions sources et drain conduit à l'abaissement de la barrière du potentiel entre la source et le canal ; c'est le principe de l'effet de canal court.

Si, de plus, la polarisation du drain augmente, la barrière se réduit davantage ; c'est l'essence de l'effet DIBL.

L'abaissement de la barrière à la source permet l'injection d'électron au travers le canal (en surface) et ceci indépendamment de la tension de grille. En conséquence, la grille perd le contrôle du courant.



Dans les 2 cas, abaissement de la hauteur de barrière et donc du seuil

Tension de Drain ↗ Champ élevé à côté de drain ↗

➡ Chocs électron /réseau = Génération de paires électrons/trous

Trous

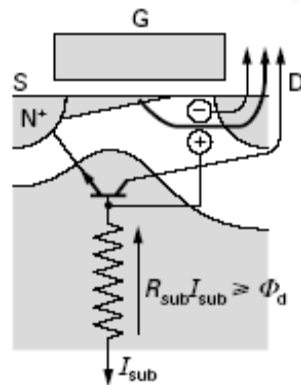
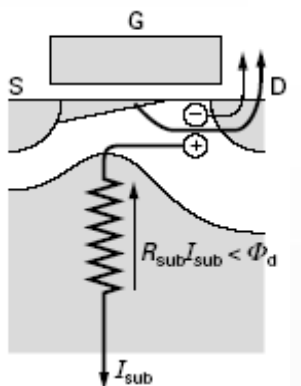
Trous évacués par le substrat

Autopolarisation du substrat V_{TH} diminue donc I_D augmente

$$R_{sub} I_{sub} > \Phi_d$$

la source injecte des e- vers le substrat.

BJT parasite I entre S et D à travers le substrat en parallèle au courant I_{DS}



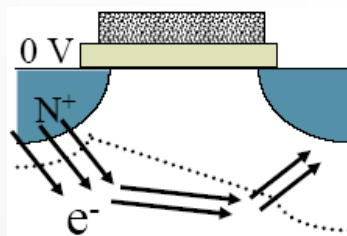
Électrons

Électrons attirés par le drain

Augmentation de I_{DS}

Porteurs chauds

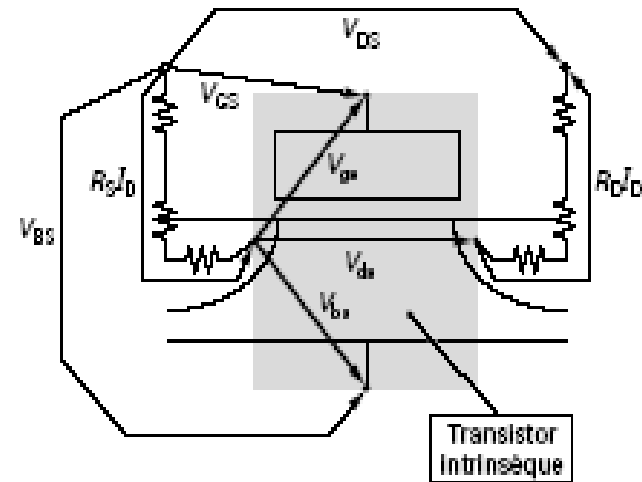
- Traverser la grille
Courant de grille
- Piégés dans l'oxyde
(V_{TH} ↗)



↓
Vieillessement du MOS

Les effets des résistances parasites =

- Résistances de contact
- Résistances d'interconnexion
- Résistance série de diffusion

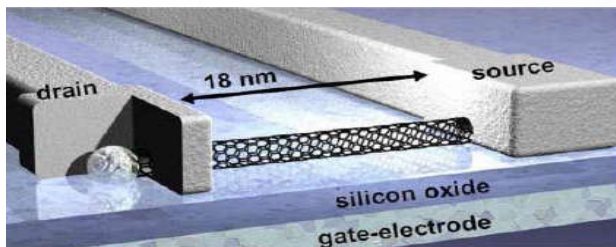


Attention : les résistances parasites de la grille et du substrat sont toujours négligées dans le bilan ; cela est justifié tant que les courants de grille et de substrat sont négligeables

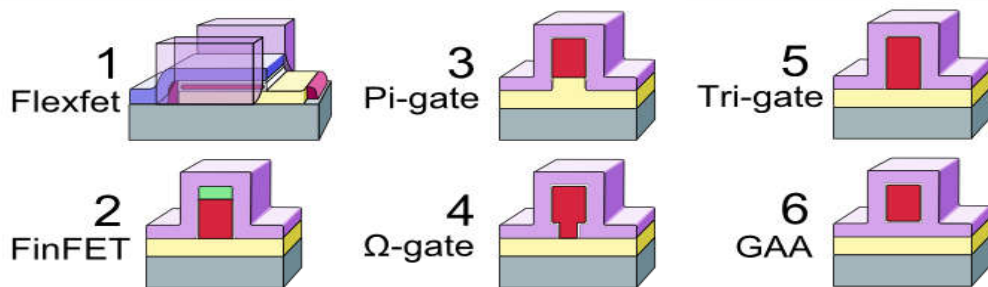
Non négligeables pour les transistors submicroniques

$$\begin{aligned} V_{gs} &= V_{GS} - R_S I_D \\ V_{ds} &= V_{DS} - R_T I_D \\ V_{bs} &= V_{BS} - R_S I_D \end{aligned}$$

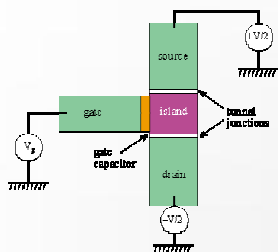
$$\text{Avec } R_T = R_S + R_D$$



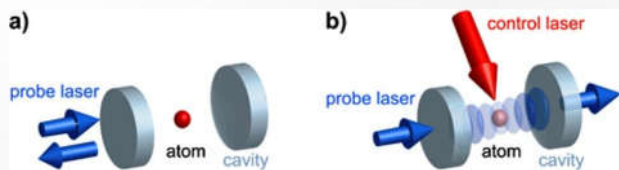
Transistor à nanotube de carbone



Transistor FinFET



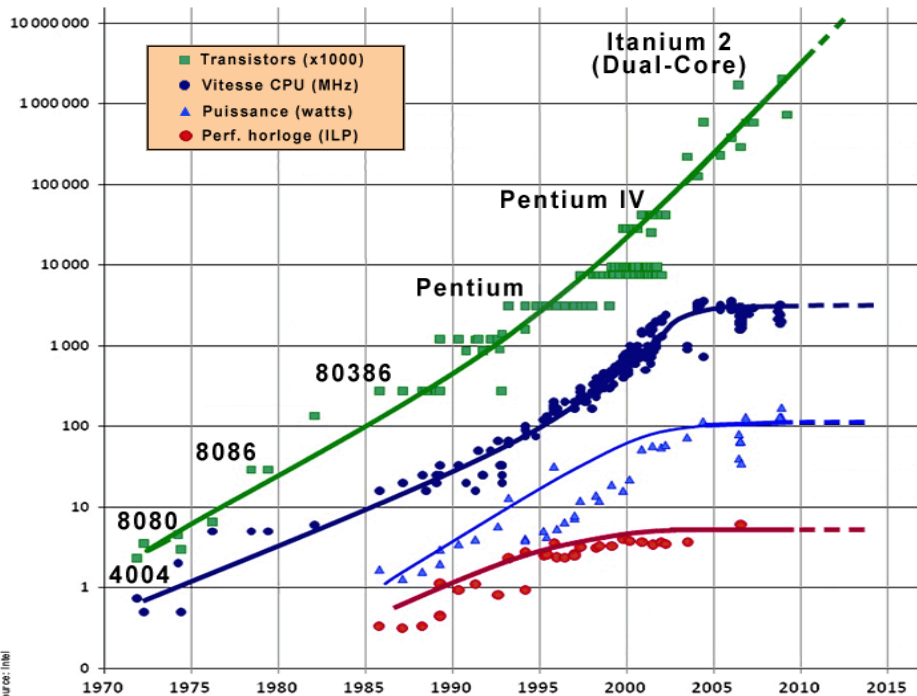
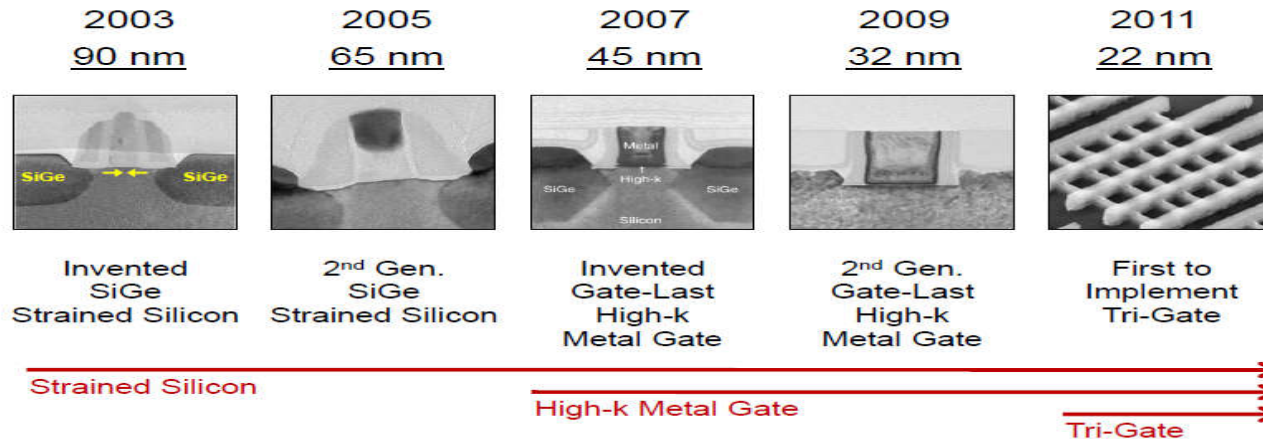
Transistor SET



Transistor à 1 atome

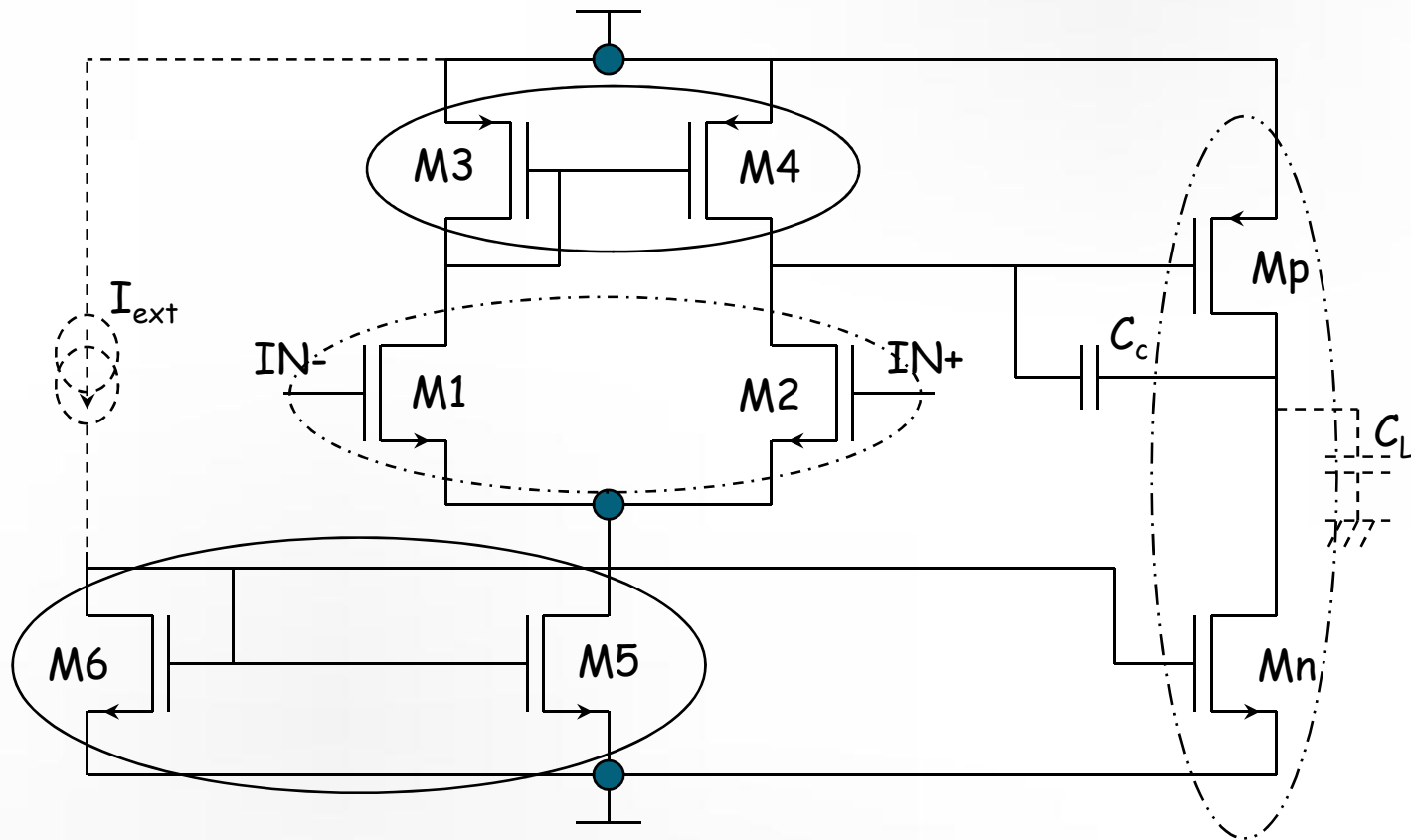
Transistor quantique

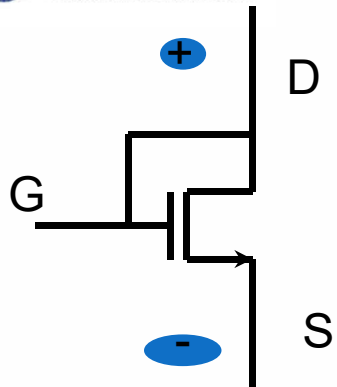
Intel Transistor Leadership



Circuit complexe = plusieurs circuit de base (circuit simple)

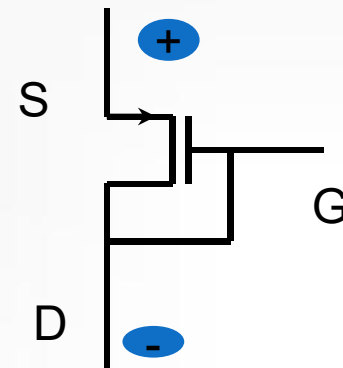
Exemple : amplificateur opérationnel





$$V_{DS} = V_{GS}$$

$$|V_{DS}| > (|V_{GS} - V_{TH}|)$$



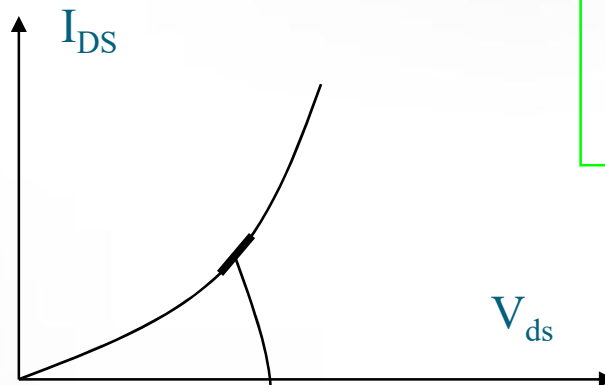
- Permet de remplacer les résistances passives

- Linéaire sur de faible plage de fonctionnement

$$I_{DS} = \frac{\mu_n C_{OX}}{2} \frac{W}{L} (V_{GS} - V_{TH})^2$$

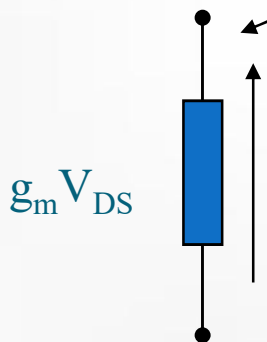
$$V = V_{gs} = V_{ds} = V_{TH} + \sqrt{\frac{2I_D}{\beta}}$$

$$\beta = \frac{\mu_n C_{OX}}{2} \frac{W}{L}$$

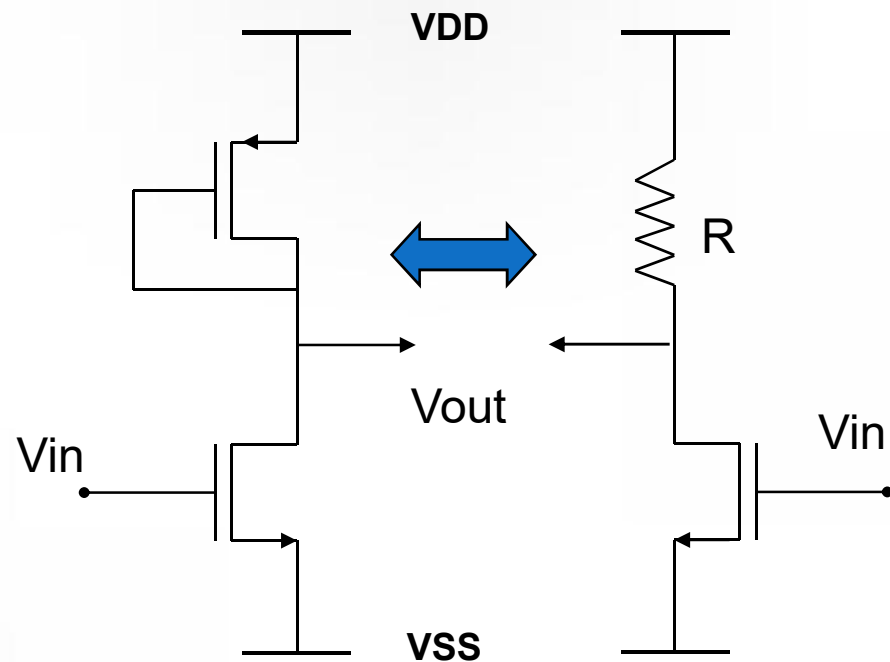
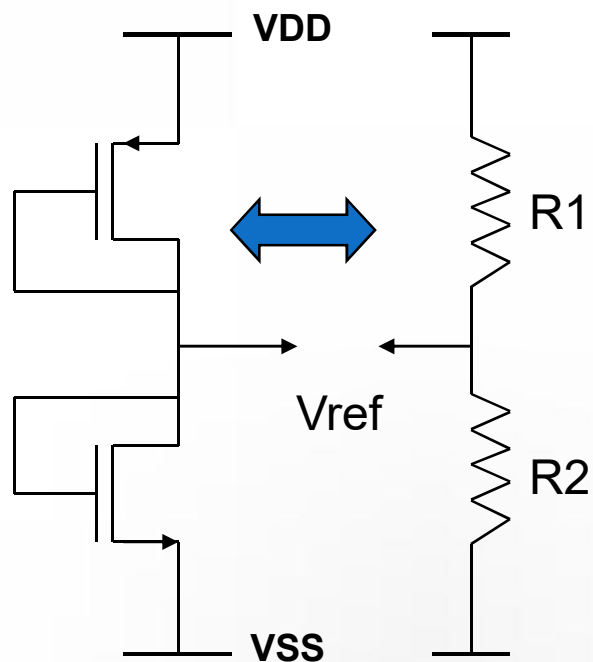


Avantage PMOS :
s'affranchir de l'effet
du substrat

On se retrouve avec une source de courant
dépendante de V_{DS}

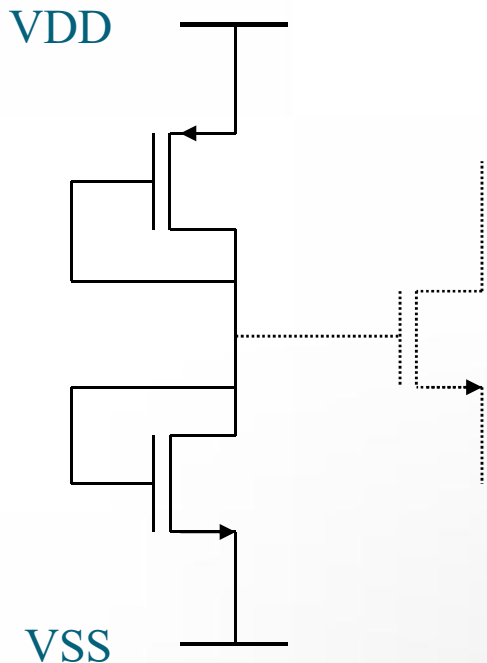


$$R = \frac{1}{g_m + g_{mb} + g_{ds}}$$



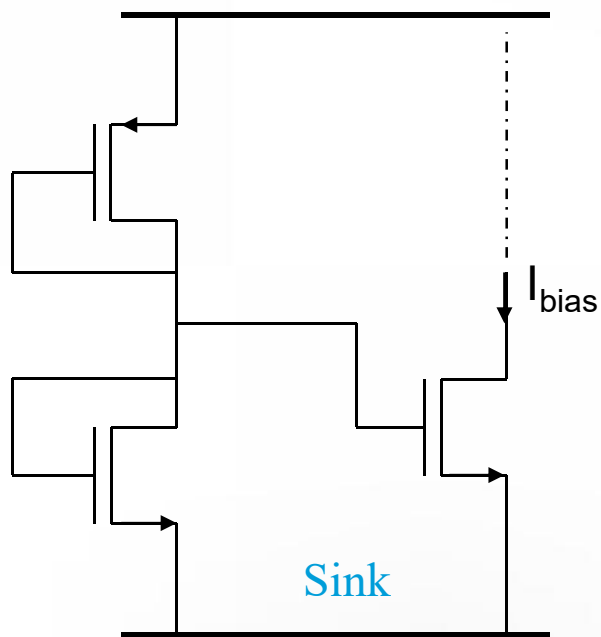
Le concepteur peut choisir les dimensions géométriques pour avoir V_{ref} ou V_{out} Désirée

Si V_{dd} , V_{out} et le courant de polarisation sont connus, seulement β_1 et β_2 conditionne le diviseur

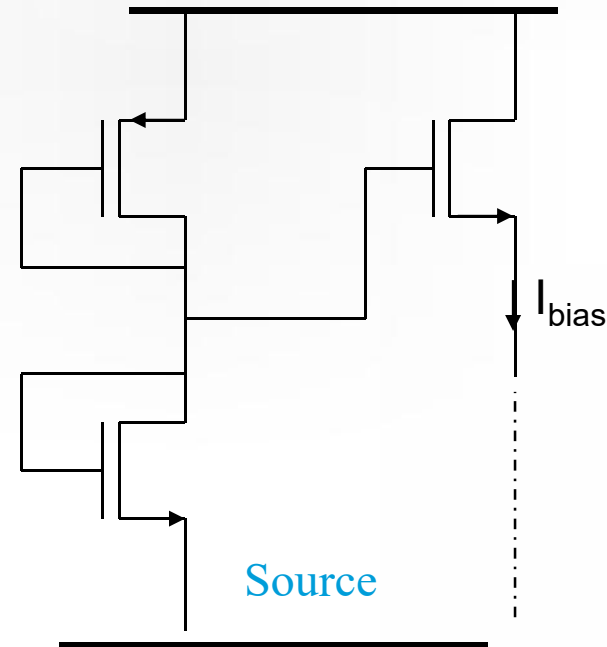


- Technologie : $0.8 \mu\text{m}$
- $V_{DD} = 5\text{V}$
- $V_{SS} = -5\text{V}$
- $I = 8\mu\text{A}$
- $K'_n = 17\mu\text{A/V}^2$
- $K'_p = 8\mu\text{A/V}^2$
- $V_{THN} = 1\text{V}$
- $V_{THP} = -1\text{V}$
- $K_n = \mu_n C_{OX}$

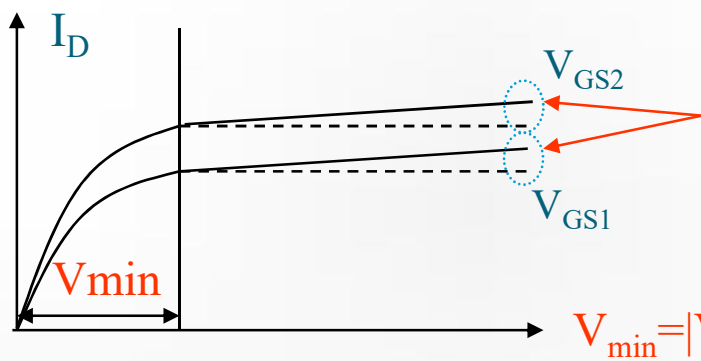
Trouver les rapports (W/L) pour avoir $V_{out} = 0\text{V}$



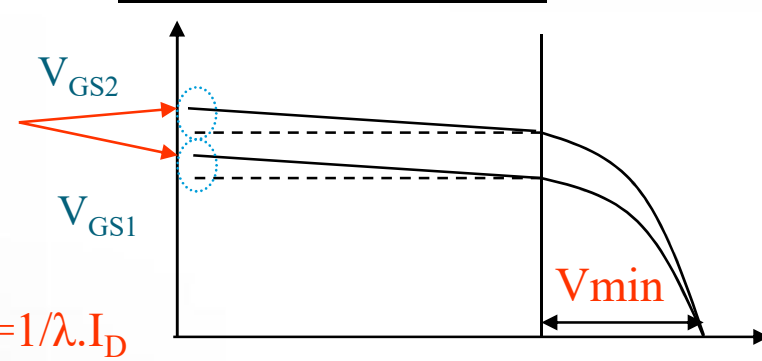
Sink



Source



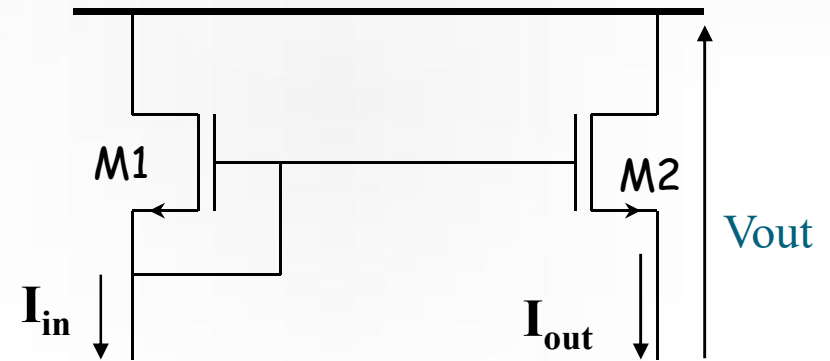
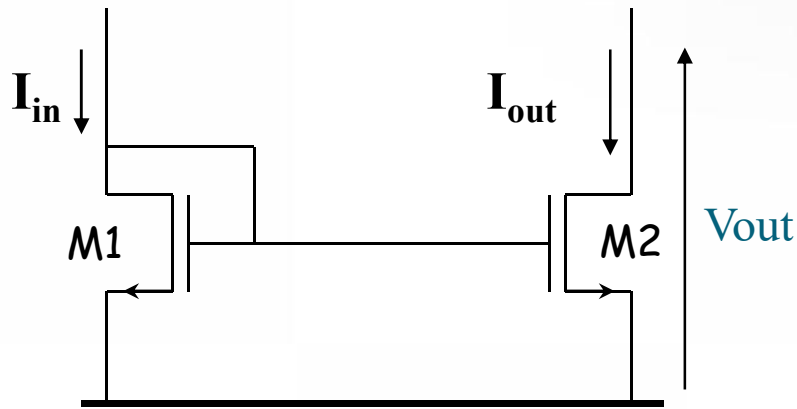
Faible R_{out}



$$V_{min} = |V_{GS} - V_{TH}| \text{ et } R_{out} = 1/\lambda \cdot I_D$$

Pour améliorer les performances : augmenter R_{out} et diminuer V_{min}

V_{DD}



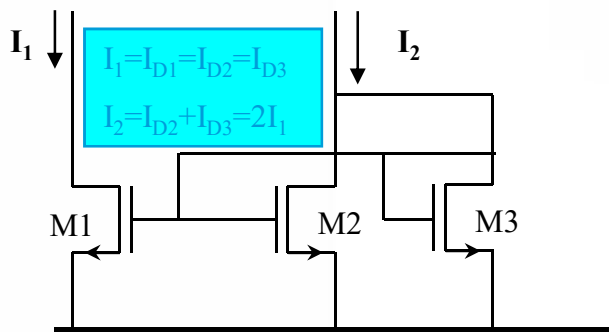
$$I_{out} = (W/L)_2 / (W/L)_1 I_{in}$$

Le miroir de Courant permet :

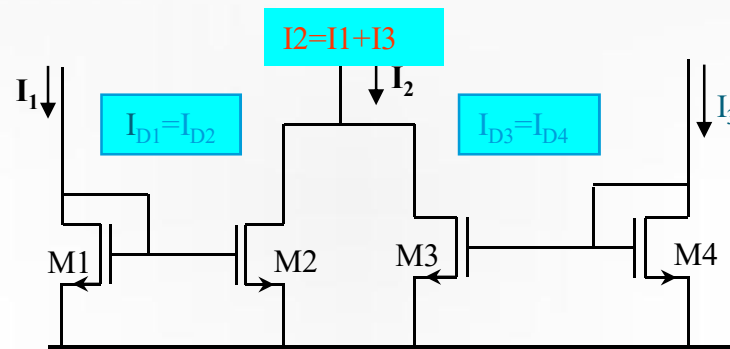
1. de copier un courant
2. De réaliser des fonctions simples (addition, soustraction, etc ...)
3. Utiliser pour polariser des blocs analogiques ou comme charge active

Il utilise le principe de similitude « **deux dispositifs identiques mis dans des conditions identiques se comportent de manière identique** »

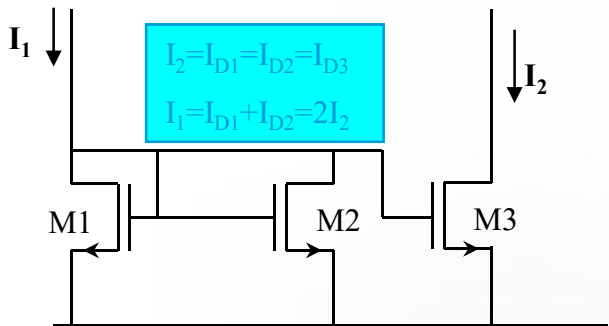
∇ V_{out} , $I_{out} = \text{constant}$ (donc il faut $Z_{out} = \infty$)



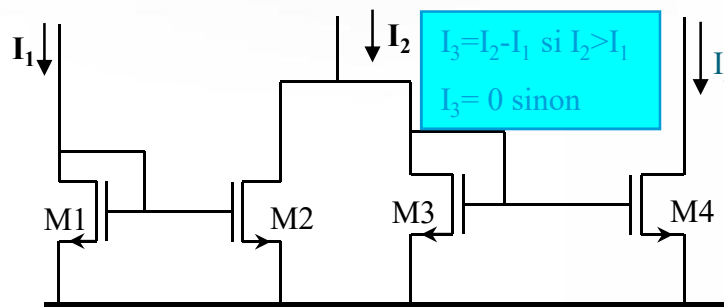
Amp de courant



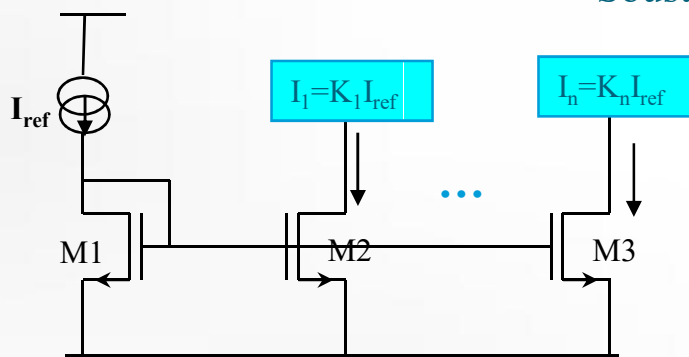
Addition de courant



Réducteur de courant

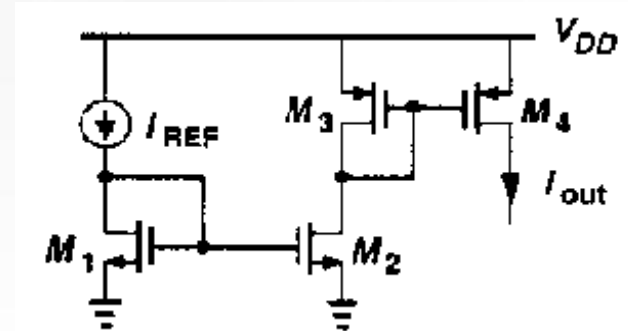


Soustracteur de courant



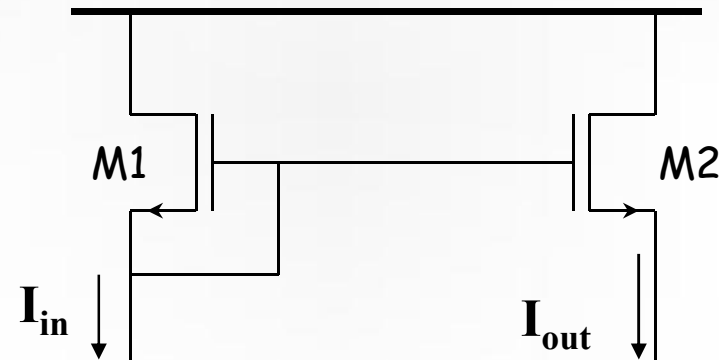
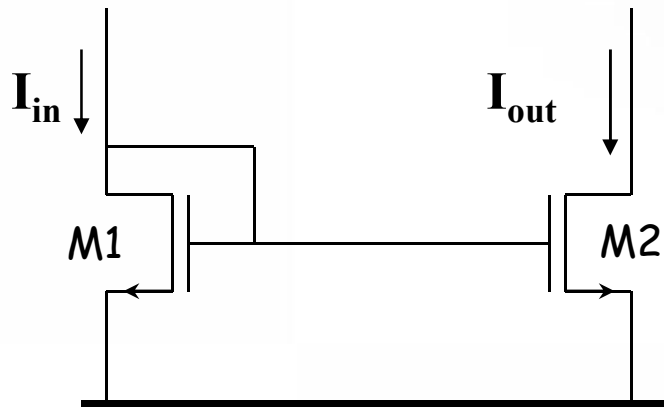
Source de courant multiple

On suppose que tous les transistors sont en saturation, calculer I_{out} en fonction de I_{ref} et des dimensions géométriques des transistors $M1-4$



Calculer les résistances de sortie et d'entrée du miroir de courant simple

Quelle est la condition d'un fonctionnement Normal ?

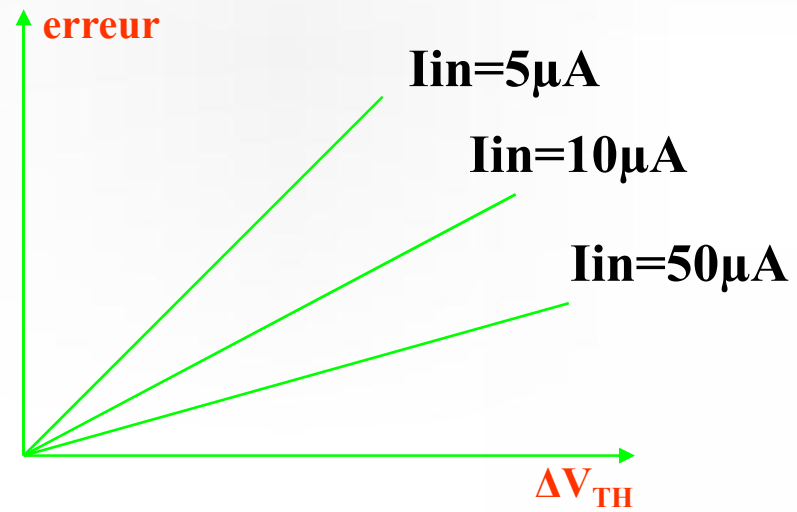
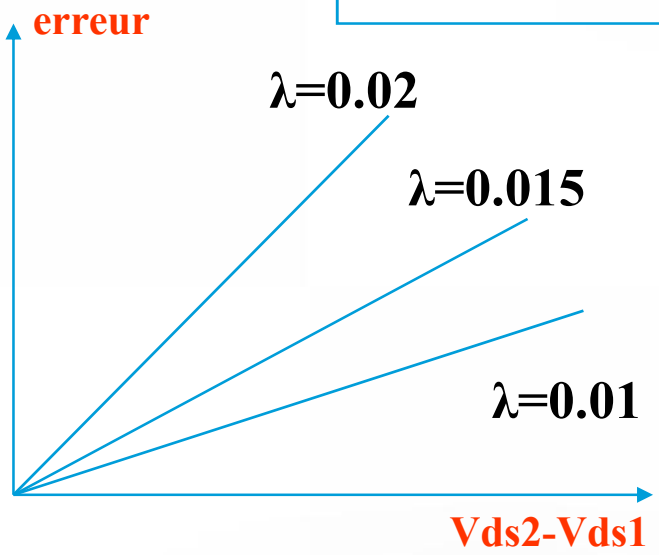


$$\frac{I_{out}}{I_{in}} = \left(\frac{W_2 \cdot L_1}{W_1 \cdot L_2} \right) \left(\frac{V_{GS} - V_{TH2}}{V_{GS} - V_{TH1}} \right) \left(\frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}} \right) \left(\frac{\mu_{n2} \cdot C_{OX2}}{\mu_{n2} \cdot C_{OX1}} \right)$$

Sources d'erreur dans un miroir de courant :

1. Modulation du canal
2. Tension d'offset
3. Erreurs d'appariement entre M_1 et M_2

Limitations du miroir de courant simple



1. Si $V_{ds2}-V_{ds1} \nearrow \rightarrow$ l'erreur \nearrow
2. Si $\lambda \searrow$ l'erreur diminue
3. Si $I_{in} \nearrow$ (ΔV_{th} faible devant V_{gs}) \rightarrow l'erreur diminue

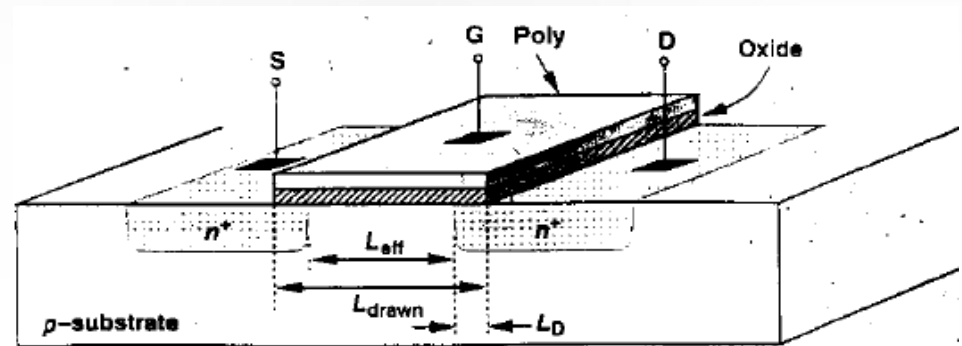
Meilleur miroir de courant \equiv $\left\{ \begin{array}{l} R_{out} \text{ grande} \\ \text{faible } \Delta V_{ds} \\ \text{Faible erreur d'appariement} \end{array} \right.$

Dessin de masques optimal

1. Utiliser la même longueur du canal L car :

Si L_{drawn} double L_{eff} ne double pas

Pour les transistors submicronique :
dépendance de V_{TH} avec L

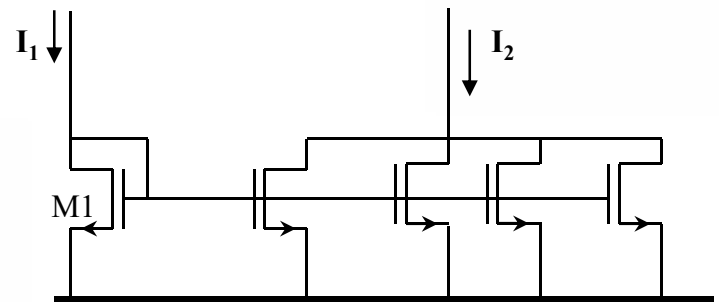


$$L_{\text{eff}} = L_{\text{drawn}} - 2L_D$$

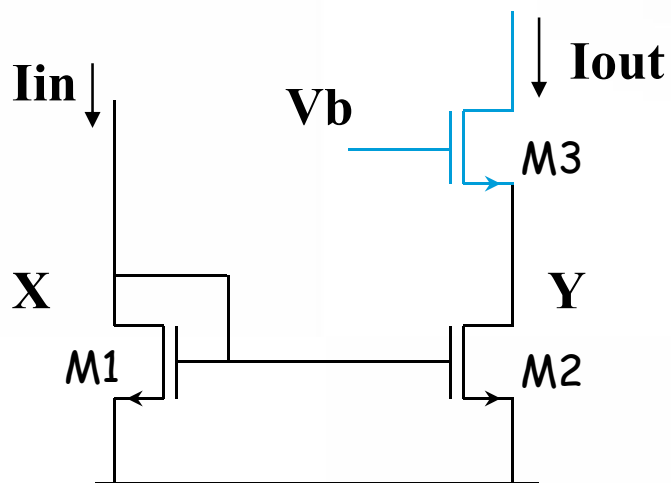
2. Utiliser des structures repliées :

Mise en // de plusieurs transistors

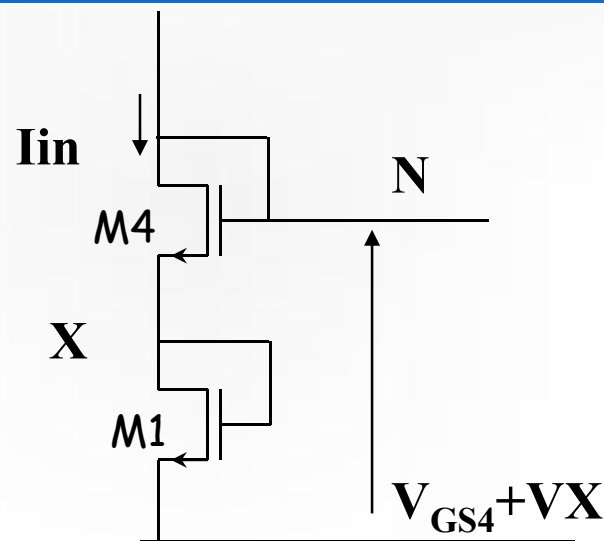
1. Réduction des erreurs de mismatch
2. Réduction des capacités parasites sur la source et sur le drain
3. Structure plus compacte



Miroir Cascode



Vb pour avoir $V_X = V_Y$



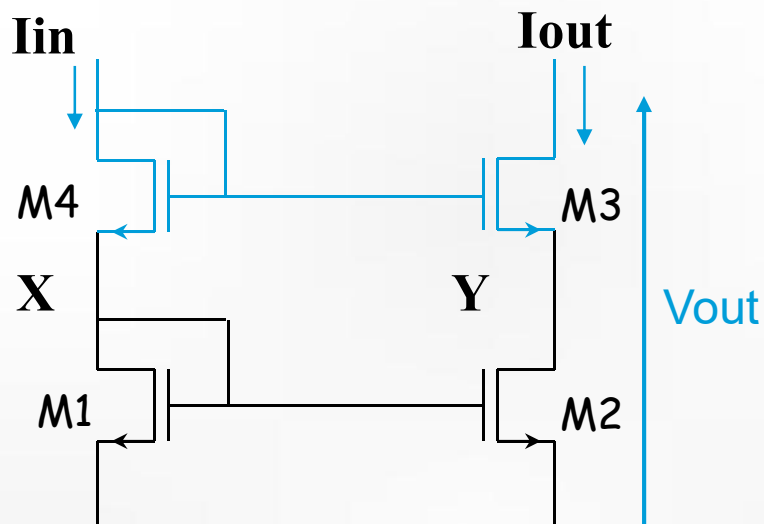
Condition

$$V_{gs4} + V_X = V_{gs3} + V_Y$$

Si :

$$(W/L)_3 / (W/L)_4 = (W/L)_2 / (W/L)_1$$

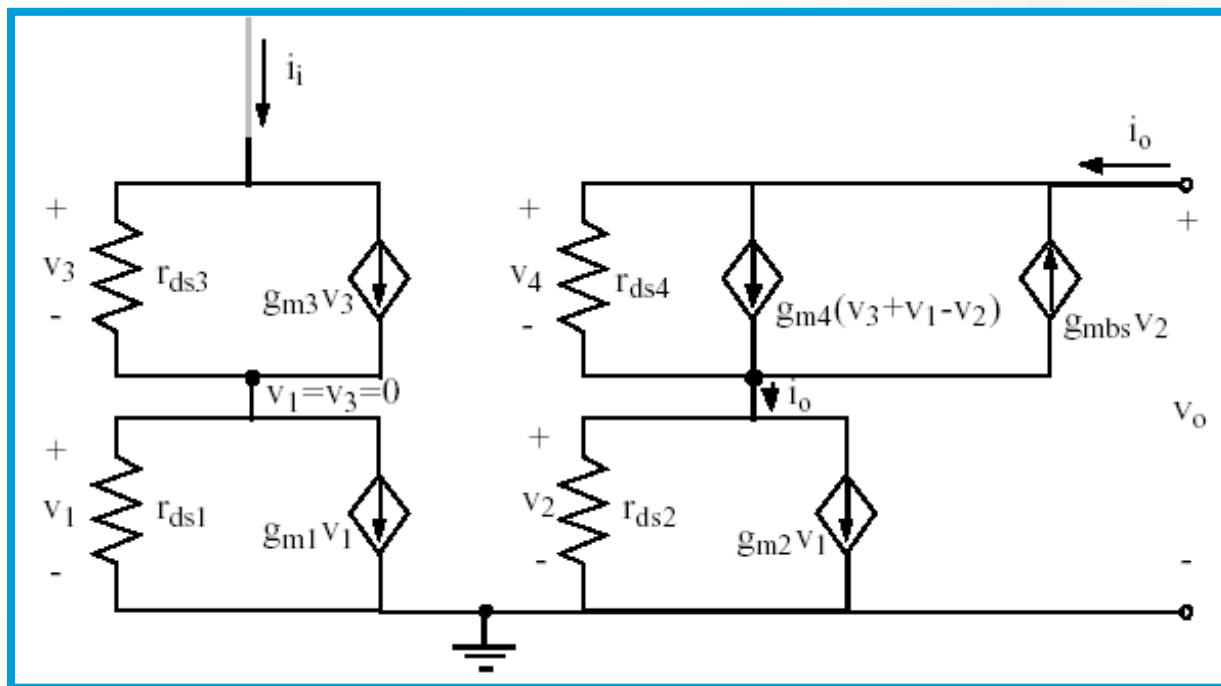
$$\Rightarrow V_X = V_Y$$



$$V_{out} = V_{gs3} - V_{TH} = V_{gs4} + V_{gs1} - V_{TH} = 2V_{ds,sat} + V_{TH}$$

Calculer la résistance de sortie du miroir Cascode

Miroir de courant Cascode – Petit Signal



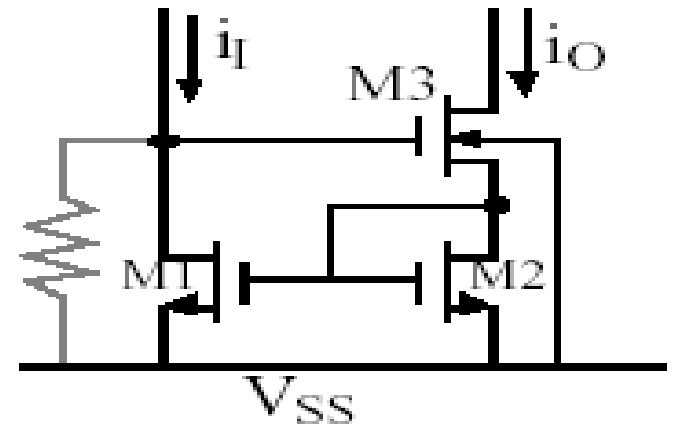
$$1). v_o = v_4 + v_2 = r_{ds4} [i_o - g_{m4}(v_3 + v_1 - v_2) + g_{mbs4}v_2] + r_{ds2}(i_o - g_{m2}v_1)$$

$$2). v_2 = i_o r_{ds2}$$

$$3). v_o = i_o [r_{ds4} + (g_{m4}r_{ds2})r_{ds4} + (r_{ds2}g_{mbs4})r_{ds4} + r_{ds2}]$$

$$4). r_{out} = \frac{v_o}{i_o} = r_{ds4} + r_{ds2} + r_{ds2}r_{ds4}(g_{m4} + g_{mbs4})$$

**Principe de fonctionnement du miroir Wilson :=
rétroaction négative compense la variation**

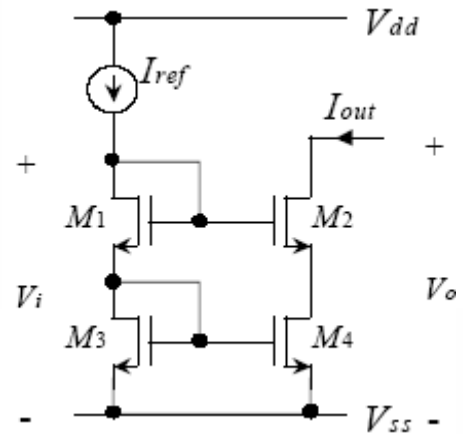


Supposons que $I_{in} = Cst$ alors il y'a une résistance drain (M1)-Gnd

1. Si I_{out} augmente alors V_{GS2} augmente
2. V_{GS2} augmente alors V_{GS1} augmente
3. V_{GS1} augmente I_{D1} augmente
4. Le courant à travers la résistance drain (M1)-Gnd diminue donc V_{GS3} diminue
5. Si V_{GS3} diminue alors I_{out} diminue

Donc on a la compensation de la variation

Comparaison

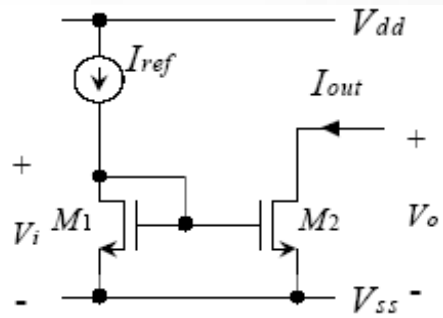


$$V_{i\min} = 2V_{DSAT} + 2V_T$$

$$V_{0\min} = 2V_{DSAT} + V_T$$

$$R_{in} \approx \frac{1}{g_{m1}} + \frac{1}{g_{m3}}$$

$$R_{out} \approx \frac{g_{m2}}{g_{o2}g_{o4}}$$

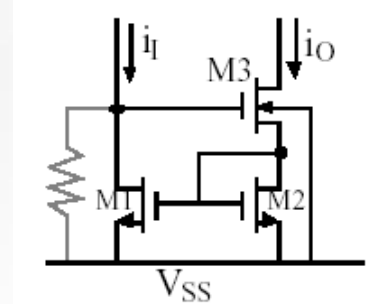


$$V_{i\min} = V_{DSAT} + V_T$$

$$V_{0\min} = V_{DSAT}$$

$$R_{in} \approx \frac{1}{g_{m1}}$$

$$R_{out} \approx \frac{1}{g_{o2}}$$



$$V_{i\min} = 2V_{DSAT} + 2V_T$$

$$V_{0\min} = 2V_{DSAT} + V_T$$

$$R_{in} \approx \frac{g_{m2} + g_{o1} - g_{m1}}{(g_{m2} + g_{o2}) \cdot g_{o1}} \approx \frac{1}{g_m}$$

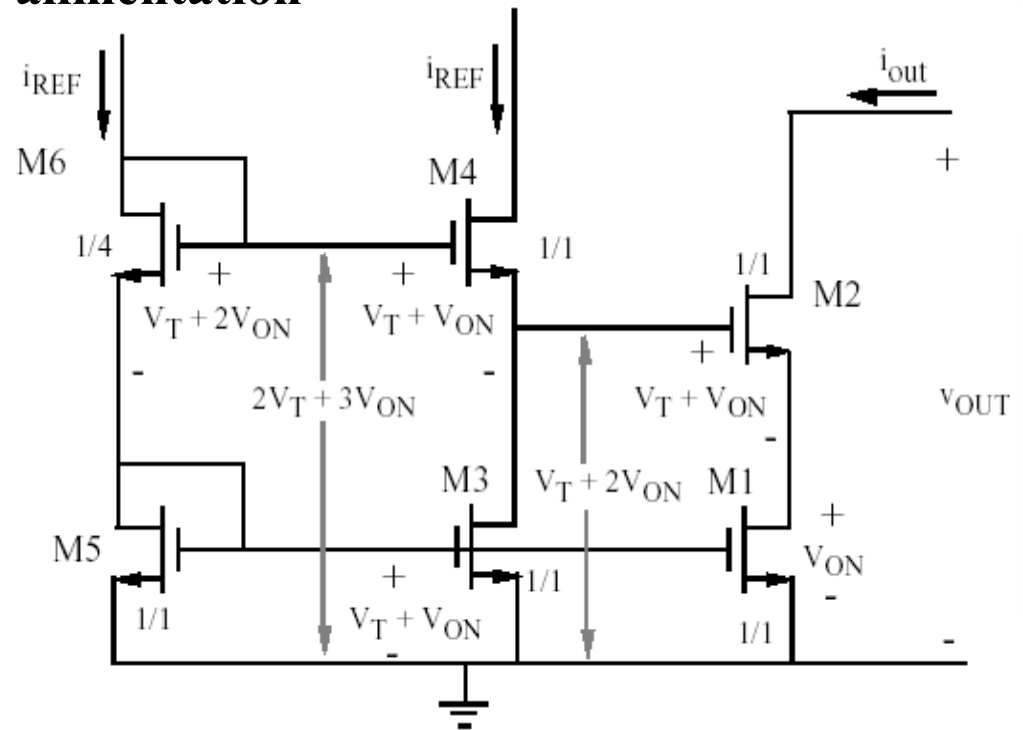
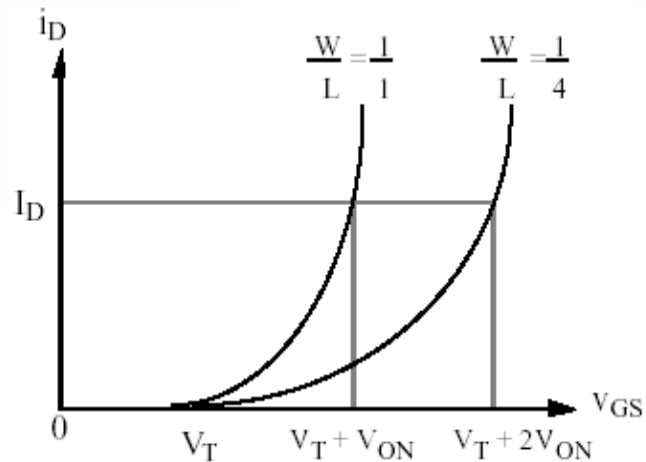
$$R_{out} \approx \frac{1}{g_o} + \frac{g_m}{2g_o^2} \approx \frac{g_m}{2g_o^2}$$

Avantages : circuit simple
faible Vmin
Inconvénient : faible Rout

Avantages: Rout grande
Inconvénients: Tension d'offset
Augmentation de Vmin

Avantages: Rout grande
Inconvénient : augmentation de Vmin
effet du substrat

Diminution de $V_{out,min}$: miroir faible tension d'alimentation



$$V_{i\min} = 2V_{DSAT} + 2V_T$$

$$V_{o\min} = 2V_{DSAT}$$

$$R_{in} \cong \frac{1}{g_{m1}} + \frac{1}{g_{m4}}$$

$$R_{out} \cong \frac{g_{m3}}{g_{o2}g_{o3}}$$

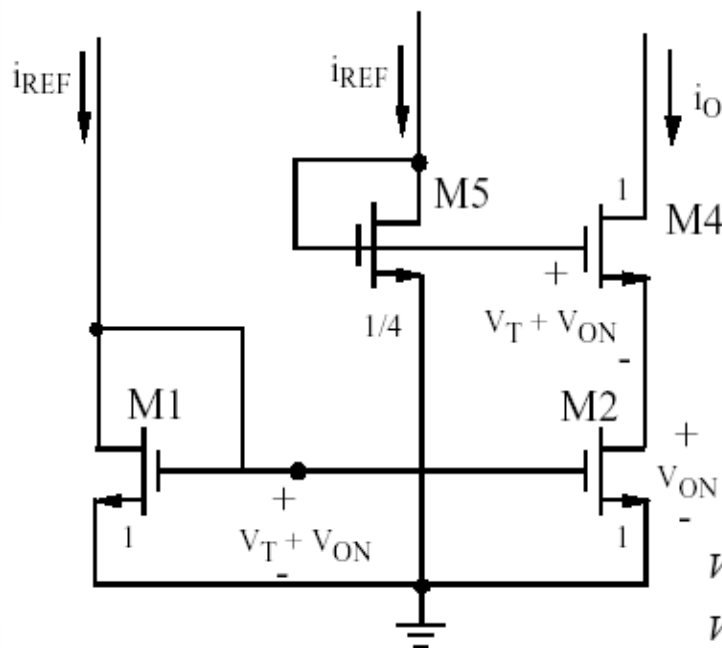
Note: M4 shifts V_{ds1} to bias M3 and keeping M2 in saturation.

The use of M4 (matched with M3) allows to make $V_{ds1} = V_{ds2}$

Advantage: High output voltage swing
High output impedance

Disadvantage: More transistors are used (more Si area)

Cascode Faible $V_{out,min}$ et bonne précision

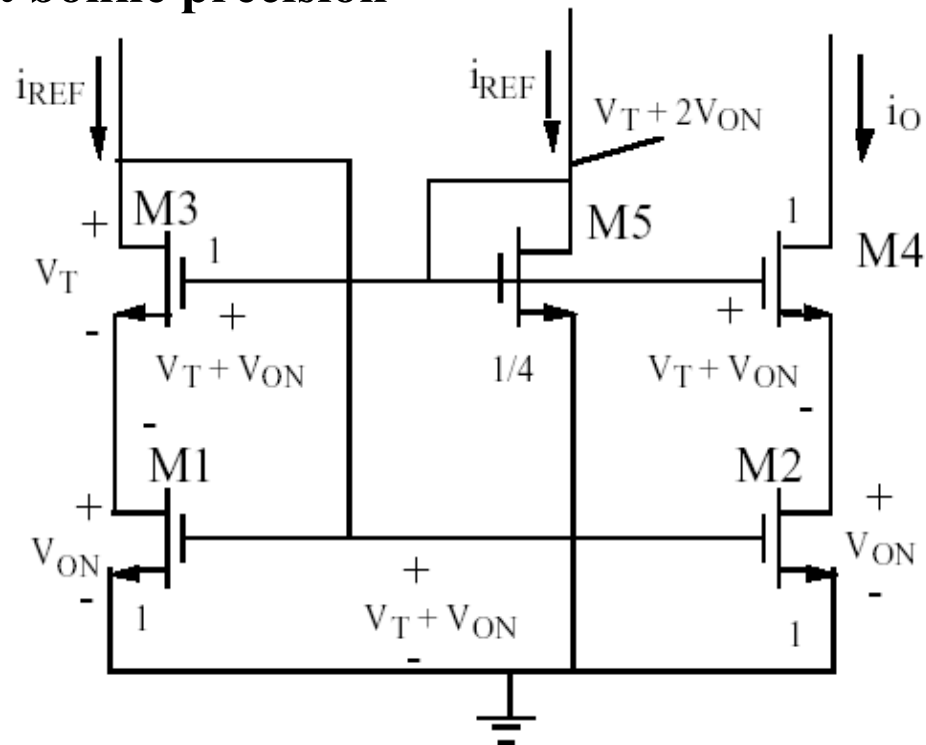


$$V_{i,min} = V_{DSAT} + V_T$$

$$V_{o,min} = 2V_{DSAT}$$

$$R_{in} \approx \frac{1}{g_{m2}}$$

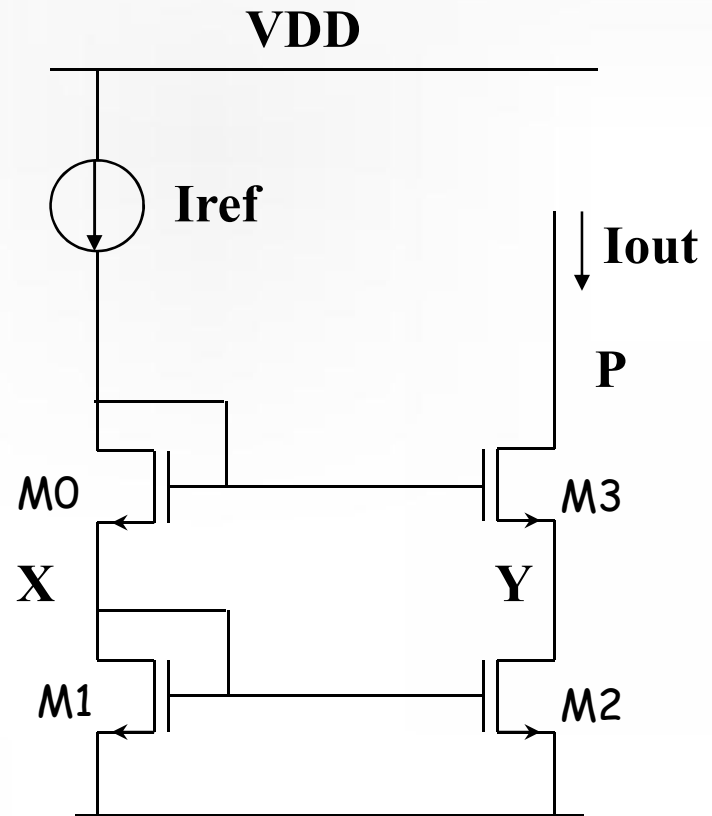
$$R_{out} \approx \frac{g_{m3}}{g_{o2}g_{o3}}$$

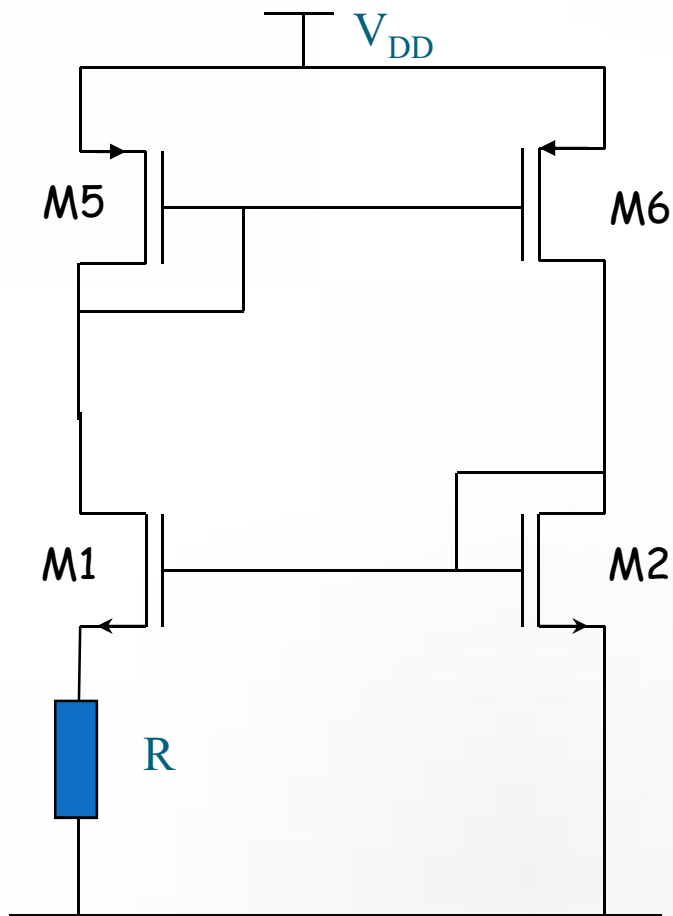


What is the purpose of M3?

The presence of M3 forces the $V_{DS1} = V_{DS2}$ which is necessary to guarantee that M1 and M2 act alike (e.g., both will have the same V_T).

1. Calculer R_{out} ?
2. Si I_{ref} requiert 0.5 V pour fonctionner comme source de courant, donner l'expression de $I_{ref,max}$?
3. Donner la tension minimale qu'on doit avoir en P pour un fonctionnement correct





$$R = \frac{1}{\sqrt{2\mu_n C_{OX} (W/L)_2 I_2}}$$

$$I = \frac{1}{2\mu_n C_{OX} (W/L)_2 R^2}$$

Le courant est fixé par la résistance R et ne dépend pas de la tension d'alimentation

Généralité

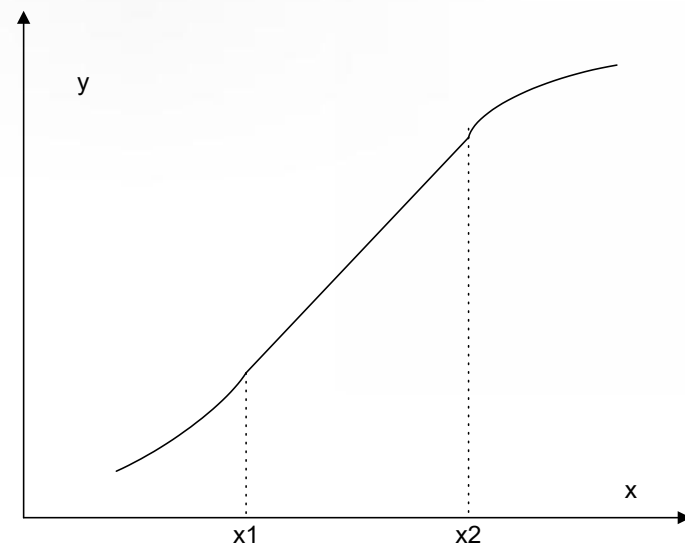
$$y(t) \approx \alpha_0 + \alpha_1 x(t) + \alpha_2 x^2(t) + \dots + \alpha_n x^n(t) \quad \text{pour } x_1 \leq x \leq x_2$$

y et x des tensions ou courants

******Pour des très faibles valeurs de x on a :

$$y(t) \approx \alpha_0 + \alpha_1 x(t)$$

Avec α_0 le point de fonctionnement et α_1 le gain AC

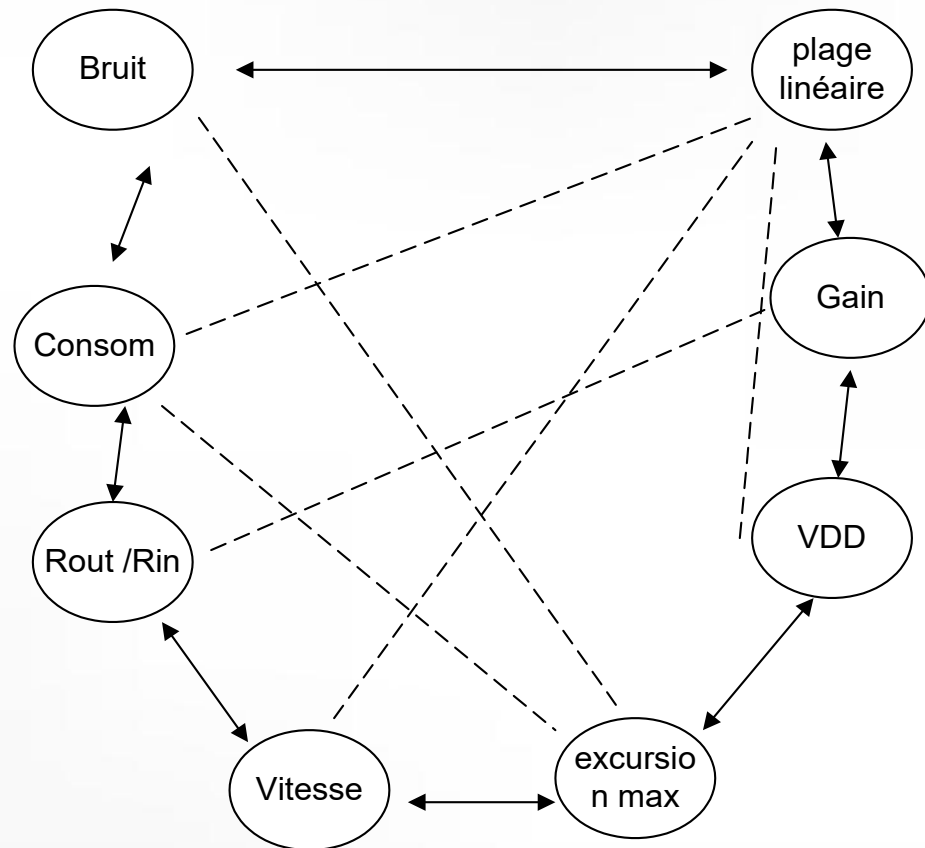


******x(t) augmente, la distorsion ↗ → refaire l'analyse large signal

Les Paramètres les plus importants

Gain, vitesse, consommation, tension d'alimentation, bruit, linéarité, excursion maximale, input/output impédance

!! Problème à plusieurs variables



1) Ampli à source Commune (SC)

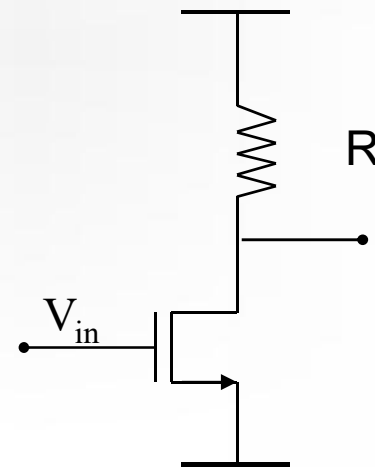
Étude grands-sinaux

M_1 en saturation $V_{out} = V_{DD} - R_D (\beta/2) (V_{in} - V_{th})^2$ V_{out}

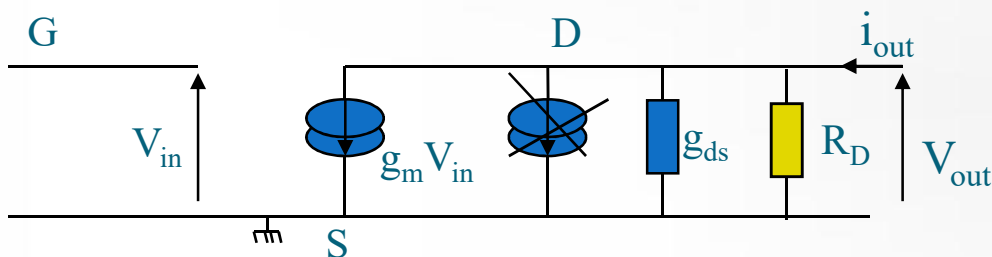
$$G = \frac{\partial V_{out}}{\partial V_{in}} = -R_D \mu_n C_O X \frac{W}{L} (V_{in} - V_{th})$$

$$= -g_m R_D$$

Pb : valeurs de R_D intégrables



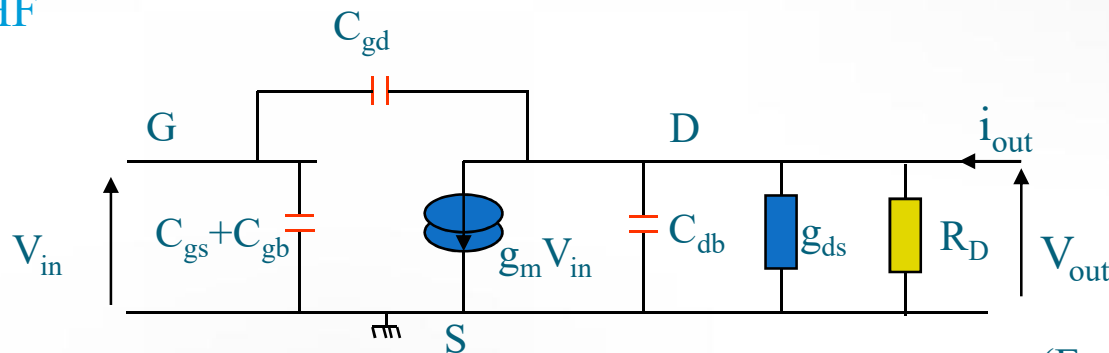
Modèle BF



$$A_{v0} = -g_m (R_D // r_{ds})$$

$$R_{out} = R_D // r_{ds}$$

Modèle HF



$$A_v = \frac{A_{v0}}{1 + p \left(\frac{C_{gd} + C_{db}}{g_{ds} + g_D} \right)}$$

(En utilisant théorème de Miller)

Dynamique de Sortie Excursion de sortie

$$V_{out,max} = VDD$$

$V_{out,min}$ est donné lorsque M1 quitte la saturation

Calcul de Bruit

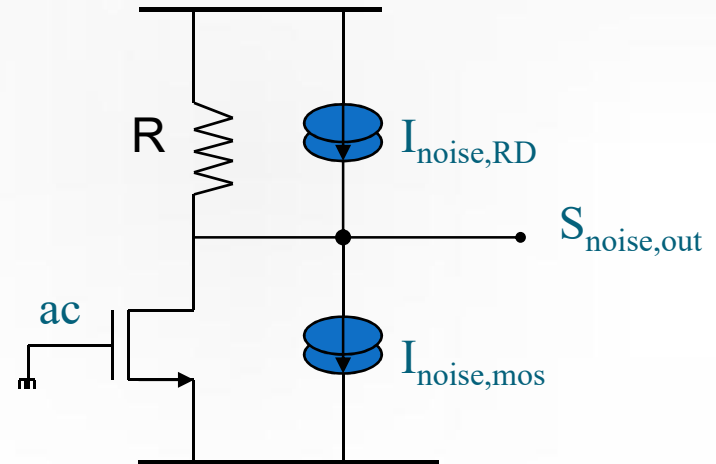
Le bruit dans la résistance :

$$S_{I, RD}^2 = \frac{4KT}{R_D}$$

Le bruit du transistor :

$$S_{out, I, TH}^2 = 4KT \frac{2}{3} g_m$$

$$S_{out, I, 1/f}^2 = \frac{K_F}{C_{ox} WL f} g_m^2$$



Source non corrélé : la densité totale du bruit en sortie est donnée par:

$$S_{I, total}^2 = \left[\left(\frac{2}{3} 4KT g_m \right) + \left(\frac{K_F}{C_{OX} WL f} g_m^2 \right) + \left(\frac{4KT}{R_D} \right) \right]$$

$$S_{v, total}^2 = \left[\left(\frac{2}{3} 4KT \frac{1}{g_m} \right) + \left(\frac{K_F}{C_{OX} WL f} \right) + (4KTR_D) \right]$$

Le bruit ramené à l'entrée :

$$S_{in, v, total}^2 = \left[4KT \left(\frac{2}{3g_m} + \frac{1}{g_m^2 R_D} \right) + \left(\frac{K_F}{C_{OX} WL f} \right) \right]$$

Pour diminuer le bruit il faut augmenter gm donc compromis avec l'excursion de sortie

Discussion Ampli SC

$$G = -\sqrt{2\mu_n C_{OX} \frac{W}{L} \frac{V_{RD}}{\sqrt{I_D}}}$$

Si $W/L \nearrow \rightarrow C_{\text{parasite}} \nearrow \rightarrow BW \searrow$

Si $V_{RD} \nearrow \rightarrow \text{excursion max} \searrow$

Si $V_{RD} = \text{Cst}$ et on diminue $I_D \rightarrow R_D$ doit être augmentée \rightarrow constante du temps à la sortie \nearrow

Compromis f(gain, BW, excursion max)

+ de contraintes si on diminue VDD

+

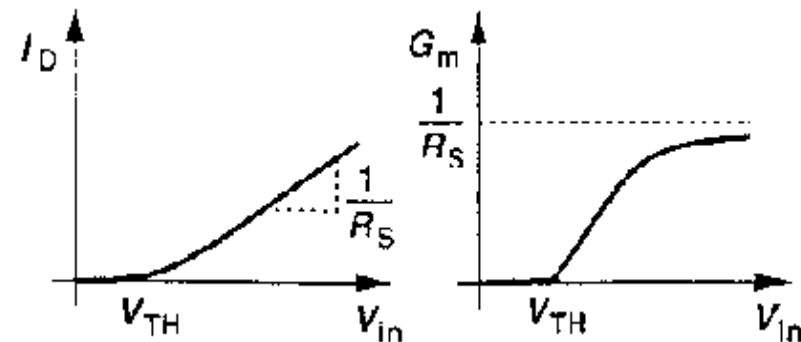
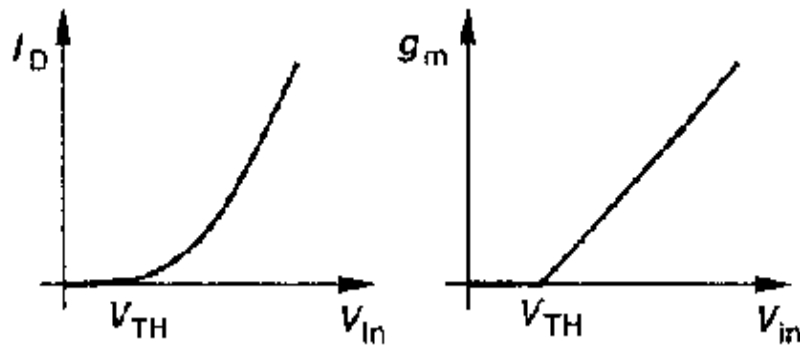
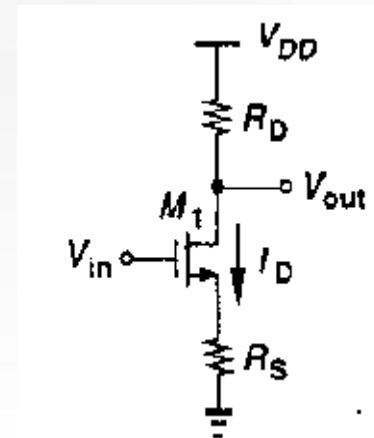
Pb : effet Miller

Pour annuler la dépendance du gain / g_m

Avec sc+ source dégénération on a le gain qui devient

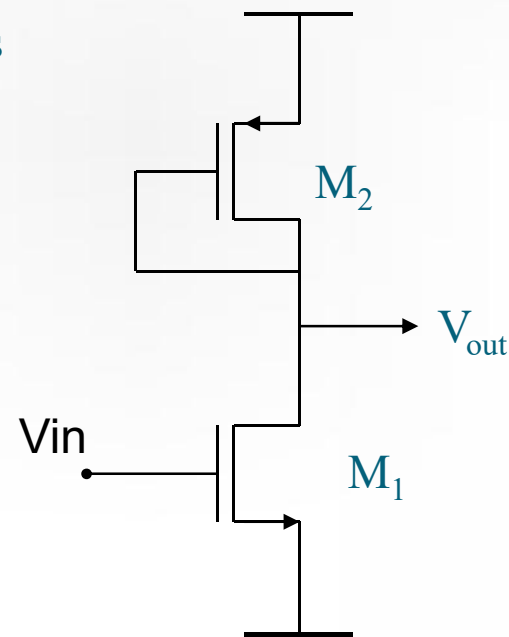
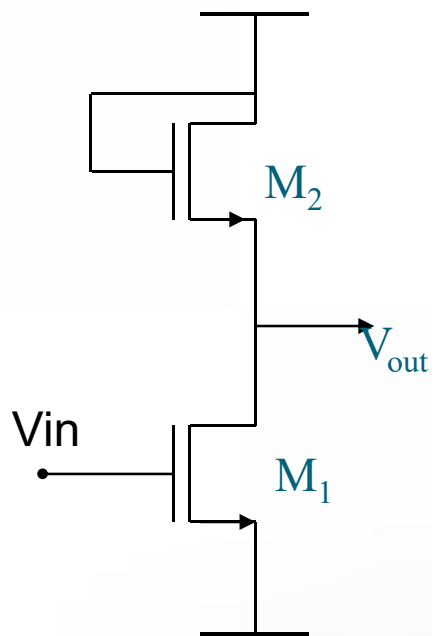
$$A_v = -G_m R_D$$

$$= \frac{-g_m R_D}{1 + g_m R_S}$$



Autre avantage : augmentation de Rout

Deux configurations possibles



Effet du substrat

$$G = -\sqrt{\frac{(W/L)_1}{(W/L)_2}} \frac{1}{1+\eta}$$

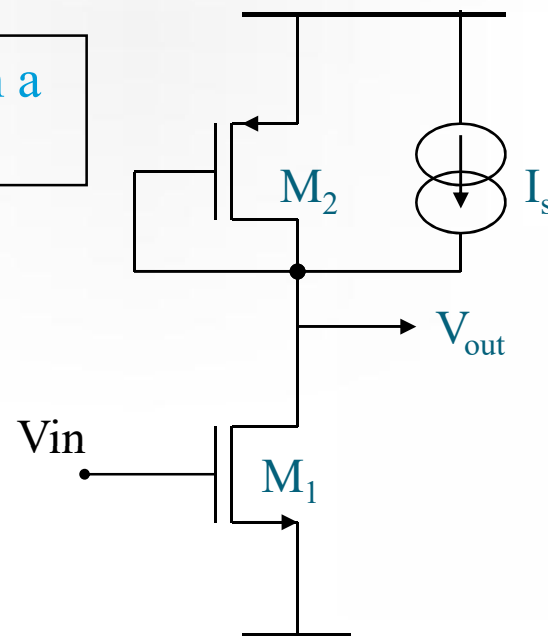
$$G = -\sqrt{\frac{\mu_n(W/L)_1}{\mu_p(W/L)_2}}$$

++ Gain indépendant du courant de polarisation et des tensions

-- Gain déterminé par des dimensions géométriques

Avec $\mu_n \approx 2\mu_p$ pour avoir $G = 10$ on doit avoir $(W/L)_n = 50 (W/L)_p$!!!

Si On prend $I_s = 0.75 I_{D1}$ pour avoir un gain de 10 on a besoin d'avoir seulement $(W/L)_n = 12.5 (W/L)_p$



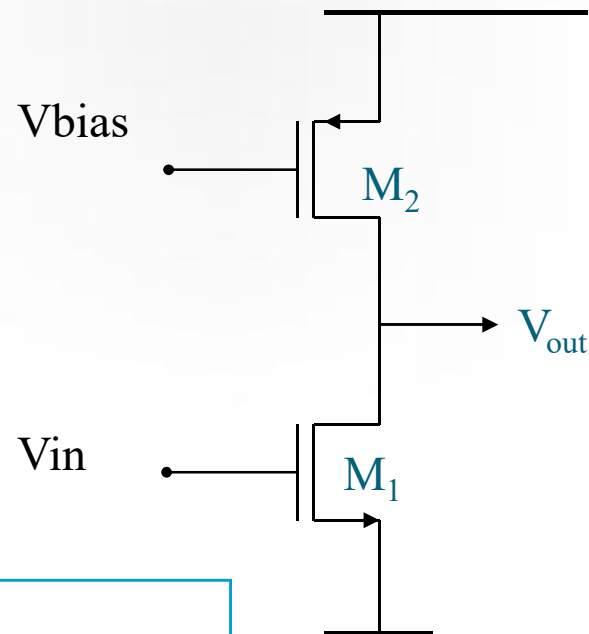
Inconvénients : plus de consommation, plus de surface et plus de bruit

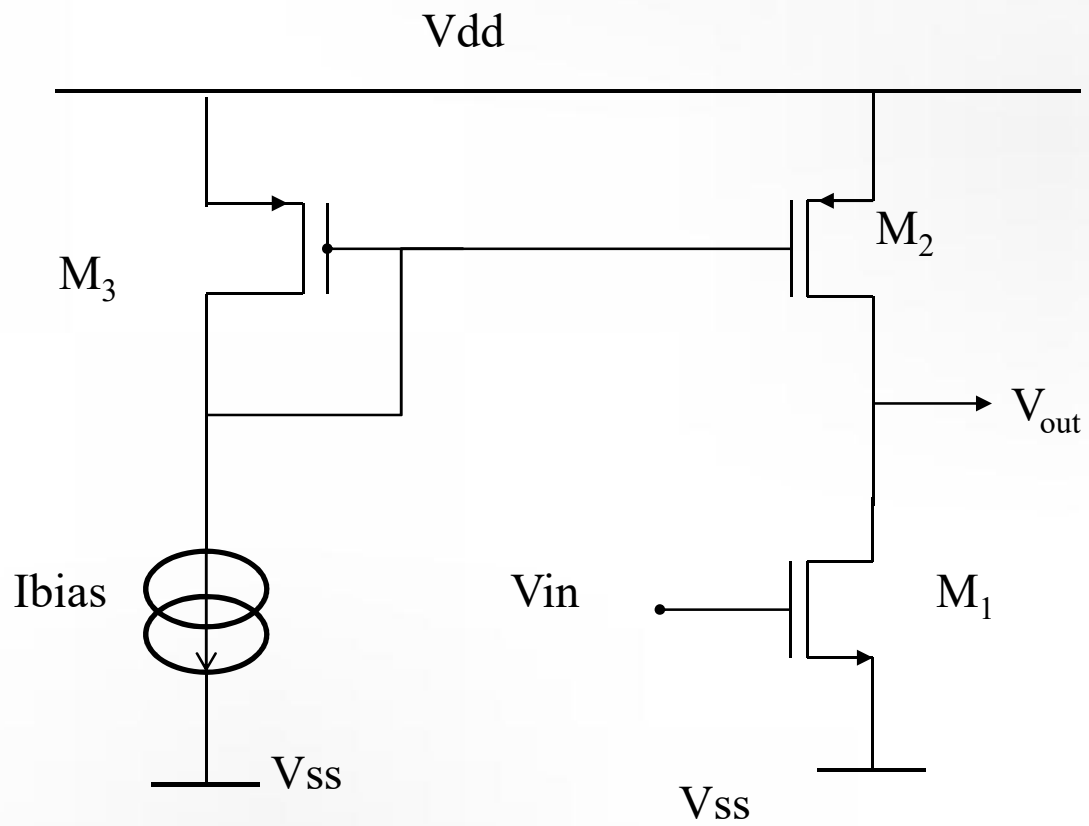
Avantage : gain relativement fort

$$G = -\frac{g_{m1}}{g_{ds1} + g_{ds2}}$$

Inconvénient : Polarisation de M2

Il faut plus de circuiterie pour générer la polarisation de M2





Plusieurs Avantages ./ SC normal

- limiter l'effet Miller (C_{gd1})

Inverseur simple : $C_{in} = G \cdot C_{gd1}$

Inverseur cascode : $C_{in} \approx 2 \cdot C_{gd1}$

- Augmentation de R_{out}

- Mais Tension minimale de fct

$$V_{out(min)} = V_{on1} + V_{on2}$$

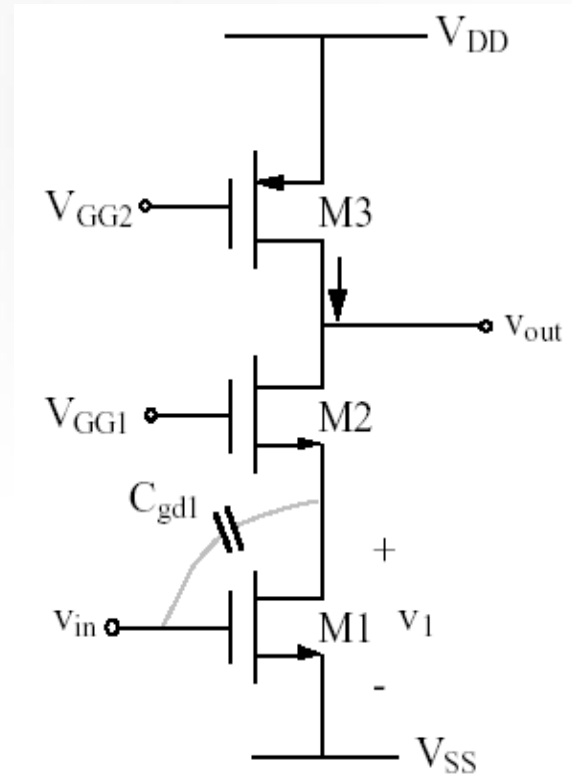
Condition de fonctionnement :

Sat de M1 : $V_X > V_{in} - V_{TH}$

Sat de M2 : $V_{out} > V_{GG1} - V_{TH}$

$$V_X = V_{GG1} - V_{GS2} \Rightarrow V_{GG1} > V_{in} + V_{GS2} - V_{TH} \Rightarrow V_{out} > (V_{in} - V_{TH}) + (V_{GS2} - V_{TH})$$

Donc il faut choisir V_{GG1} tq M_1 limite de saturation



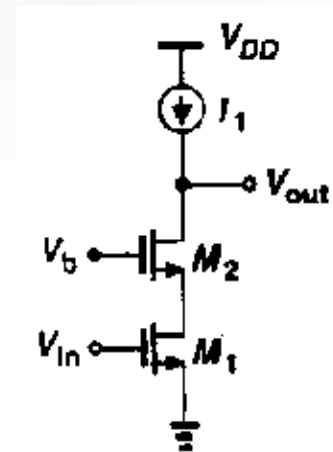
$$V_{out,min} = 2V_{DS,sat}$$

Avantage : le gain est très supérieur / SC (au carré)

$$A_v = G_m \cdot R_{out}$$

Avec $G_m = g_{m1}$ et $R_{out} = (g_{m2} + g_{mb2})r_{o2}r_{o1}$

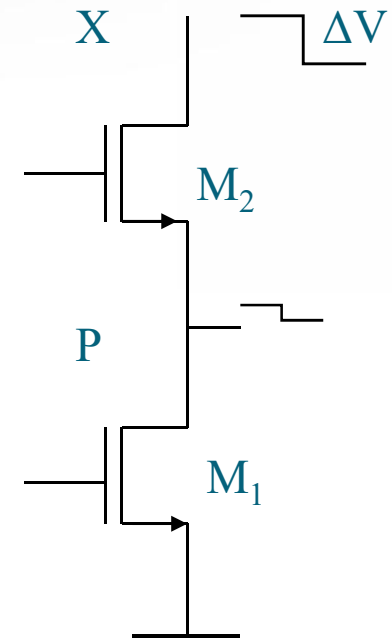
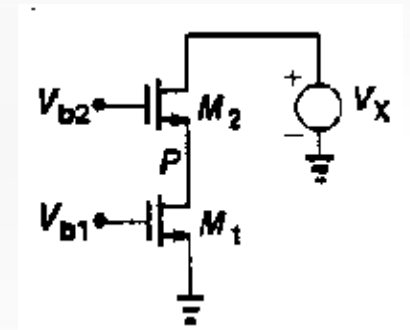
D'où on a le gain $A_v = (g_{m2} + g_{mb2})r_{o2}g_{m1}r_{o1}$



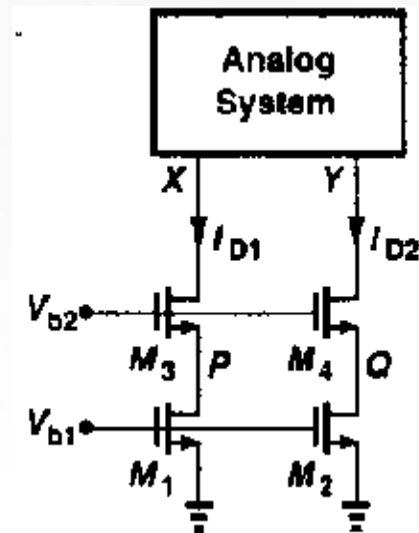
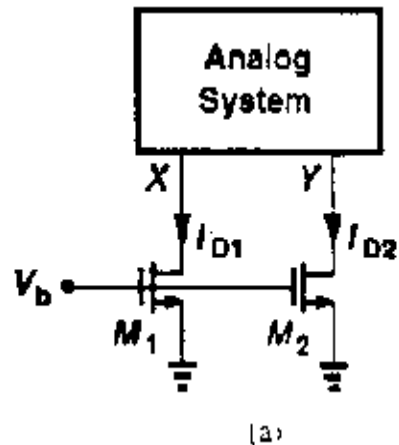
☺ Si $M_{1,2}$ sont en saturation les variations du potentiel P est inférieure aux variations du potentiel X.

☺ Le bruit ajouté par le transistor cascode est négligeable

☹ Cette propriété diminue si M2 entre en régime Ohmique



M2 est une sorte de Buffer pour M1

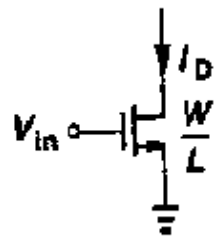


Deux transistors identiques sont utilisés comme sources de courants (fig a et b). À cause de la circuiterie interne VX différent de VY

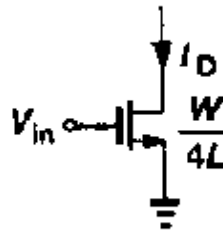
$$I_{D1} - I_{D2} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_b - V_{TH})^2 (\lambda V_{DS1} - \lambda V_{DS2})$$

$$= \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_b - V_{TH})^2 (\lambda \Delta V).$$

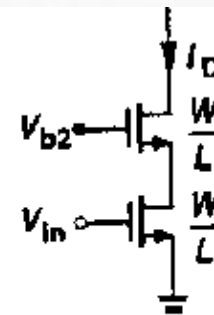
$$I_{D1} - I_{D2} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_b - V_{TH})^2 \frac{\lambda \Delta V}{(g_{m3} + g_{mb3}) r_{O3}}$$



(a)



(b)



(c)

Idée : Le gain peut être augmenté si on augmente R_{out} :

Si par exemple $L'=4L$, $V_{ds,sat}$ est doublé donc la même condition pour les deux configurations

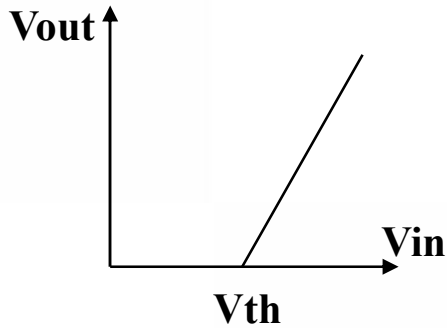
On a : $\lambda \propto 1/L$ $g_m r_{ds} = \sqrt{2\mu_n C_{OX} \frac{W}{L} I_D} \frac{1}{\lambda I_D}$

Avec $L'=4L$ le gain double

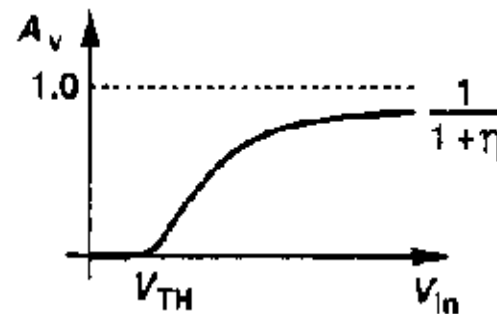
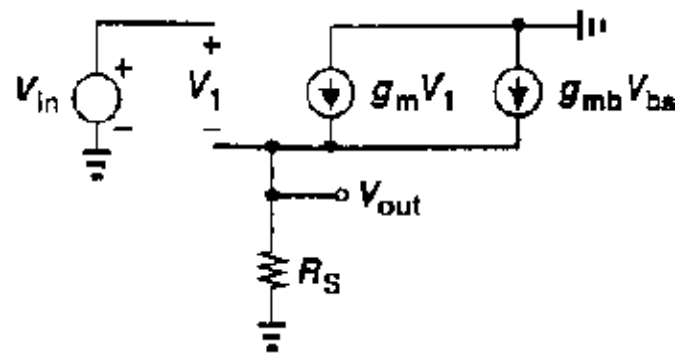
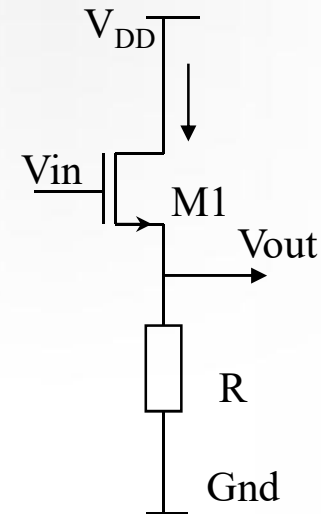
Cascode augmente le gain d'un facteur au carré $(g_m r_{ds})^2$

g_m du montage (b) = la moitié du montage (c) \rightarrow augmentation du bruit

Rôle : Adaptation d'impédance, décaleur de niveau



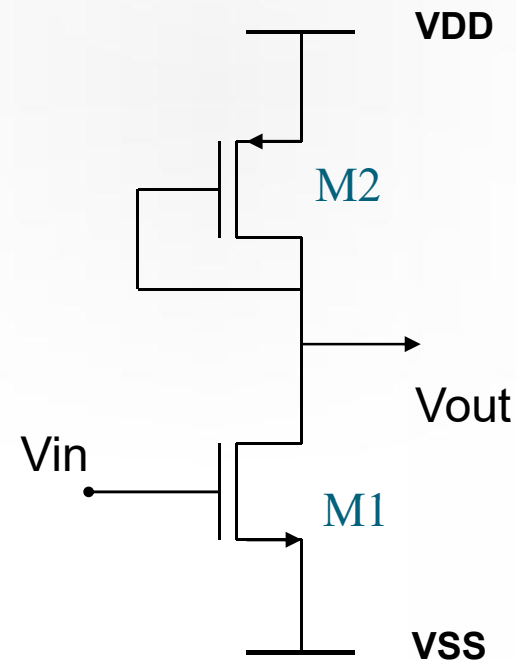
$$V_{out} = R I_D$$



Ampli à charge active

Calculer pour ce montage

- le gain en BF et HF
- La résistance de sortie
- L'excursion de sortie
- Le bruit

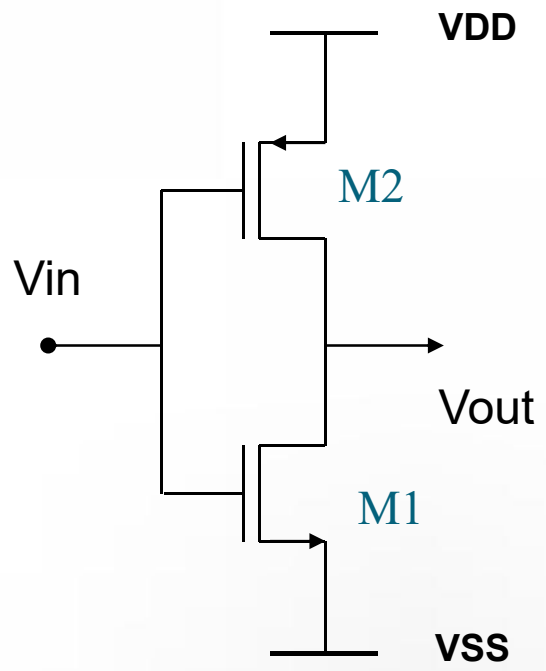


A.N $V_{DD} = 5V$, $V_{SS} = -5V$ $W_1 = 50\mu m$ $W_2 = 10\mu m$ $L_1 = 10\mu m$ $L_2 = 40\mu m$, $I_D = 50\mu A$,

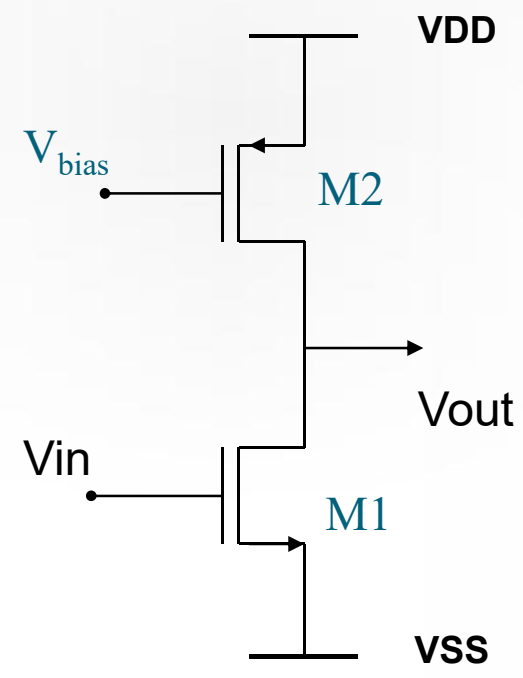
$V_{TH,n} = 1V$ et $V_{TH,p} = -1V$

$C_{GD1} = 0.02pF$, $C_{BD1} = 0.1pF$, $C_{BD2} = 0.01pF$, $C_{GS2} = 0.12pF$, $C_L = 1pF$

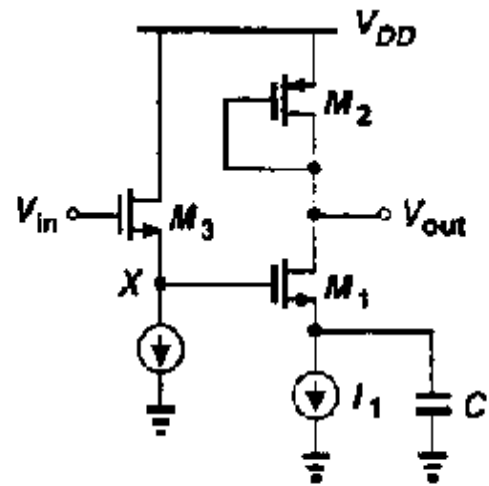
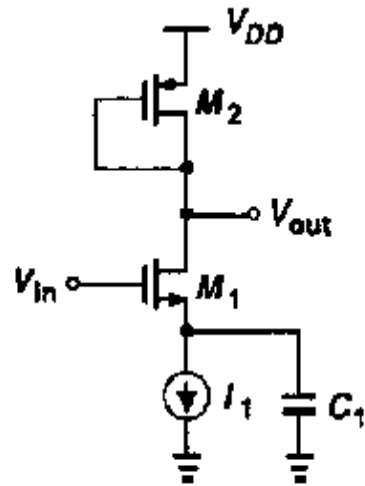
Mêmes choses pour ces deux montages



Ampli push Pull



Source commune à source de courant



- Quel le signal DC maximal de V_{in}
- Pour étendre la plage d'entrée à V_{DD} le circuit est modifié (voir schéma b). Quelle est la relation entre VGS de M2 et M3 pour avoir la saturation de M1

Solution

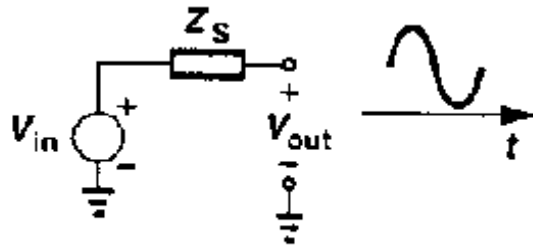
(a) The gain is given by

$$A_v = -g_{m1}[r_{O1} \| r_{O2} \| (1/g_{m2})].$$

Since $V_{out} = V_{DD} - |V_{GS2}|$, the maximum allowable dc level of V_{in} is equal to $V_{DD} - |V_{GS2}| + V_{TH1}$.

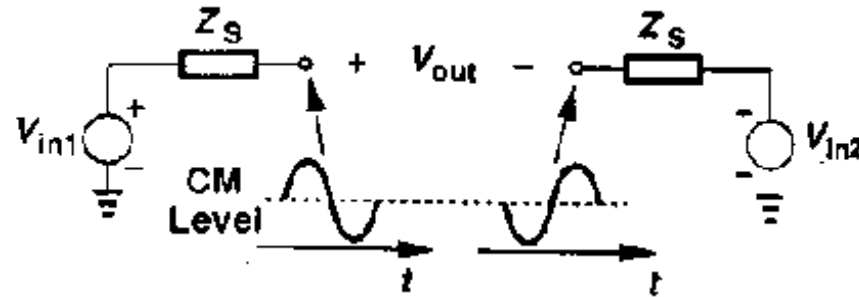
(b) If $V_{in} = V_{DD}$, then $V_X = V_{DD} - V_{GS3}$. For M_1 to be saturated, $V_{DD} - V_{GS3} - V_{TH1} \leq V_{DD} - |V_{GS2}|$ and hence $V_{GS3} - V_{TH1} \geq |V_{GS2}|$.

Les amplificateurs simple sont à utiliser pour des applications demandant un faible gain. Le gain peut être augmenté en augmentant la résistance de sortie, ce qui a comme conséquence la diminution de la bande passante et la vitesse de fonctionnement. ce type d'amplificateur est très sensible au bruit extrinsèque



Signal simple :

Signal mesuré / à un potentiel fixe (Gnd ou autre)



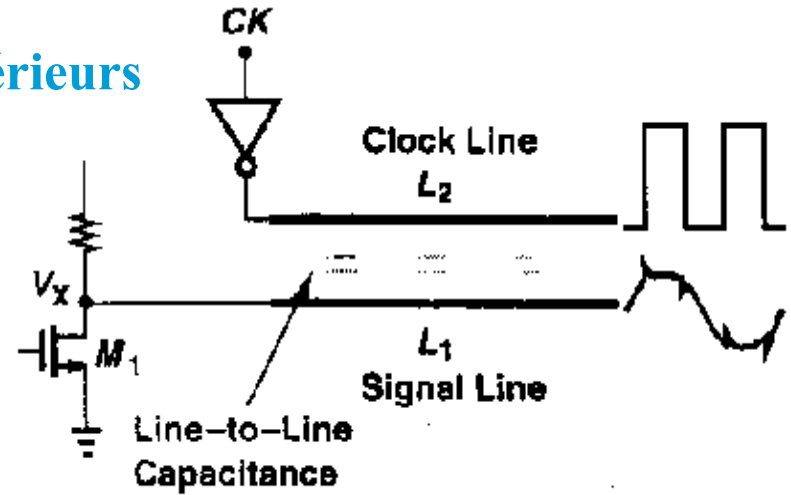
Signal différentiel :

Signal mesuré entre deux nœuds ayant un potentiel de même amplitude / à un potentiel fixe Et en opposition de phase
Les deux nœuds ont la même impédance / à ce potentiel
Le signal du centre est appelé signal **mode commun**

Avantage : immunité aux perturbations extérieurs

Signal de faible amplitude sur la ligne avec un signal d'horloge perturbateur

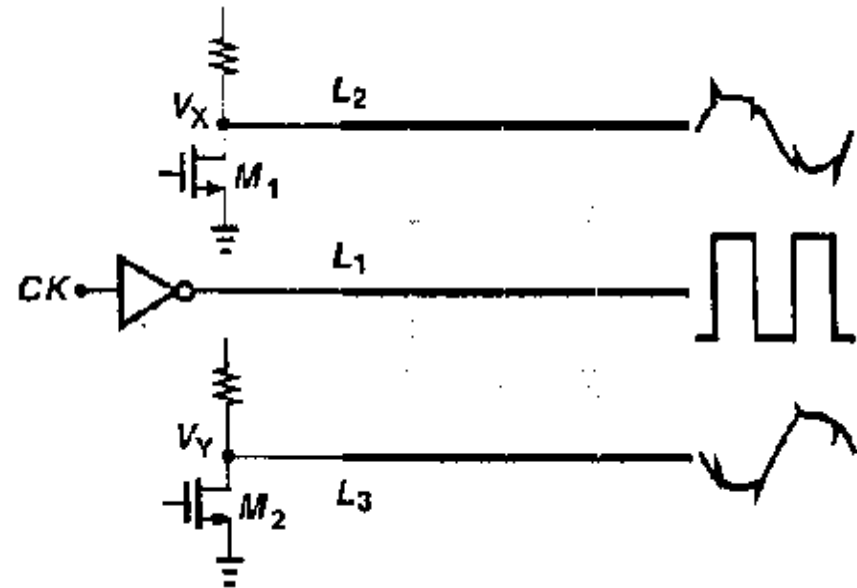
Couplage capacitif → transition de Clk perturbe le signal de L1

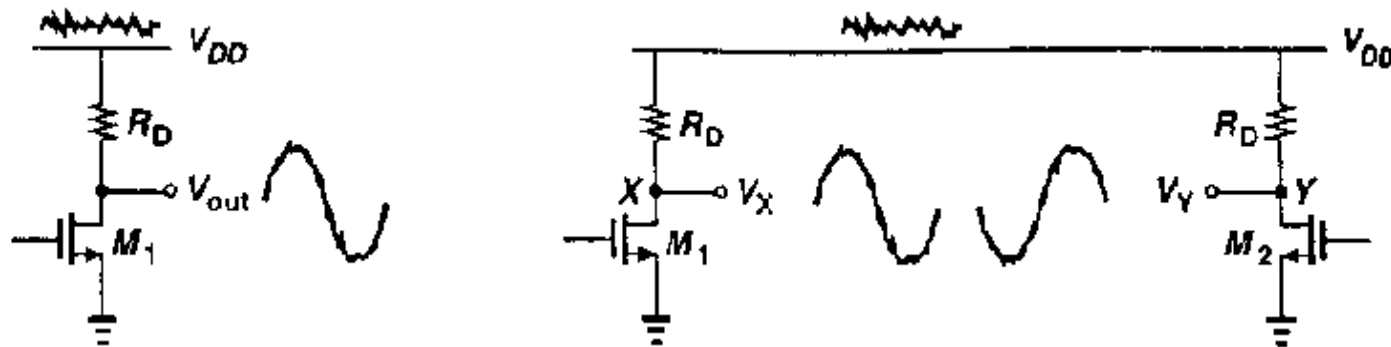
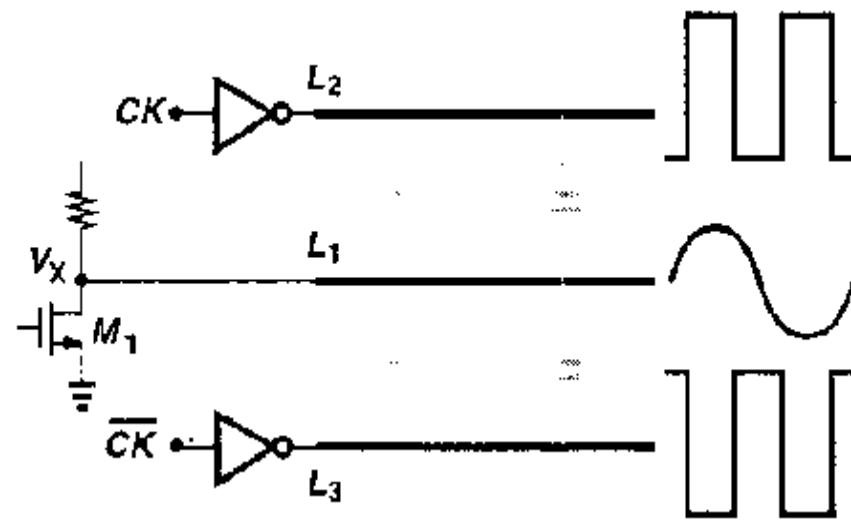


(a)

Signal sensible est distribué en opposition de phase

CK perturbe L3 et L2 sans perturber la différence





Rejection du bruit de la tension d'alimentation

Rejects « Common mode noise »

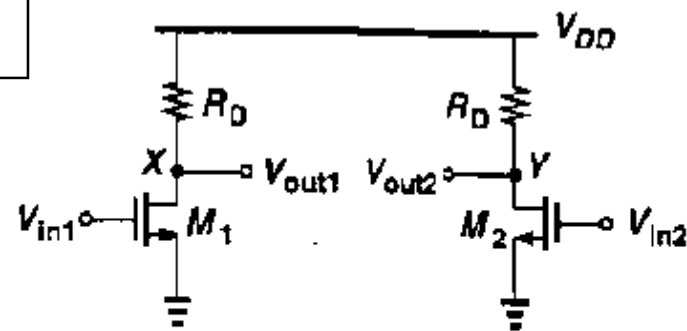
Autres propriétés importantes :

1. Augmentation de la plage linéaire (annulation des distorsions paires)
2. Polarisation Simple

Inconvénients Possibles

1. Augmentation de la surface
2. Augmentation de la consommation

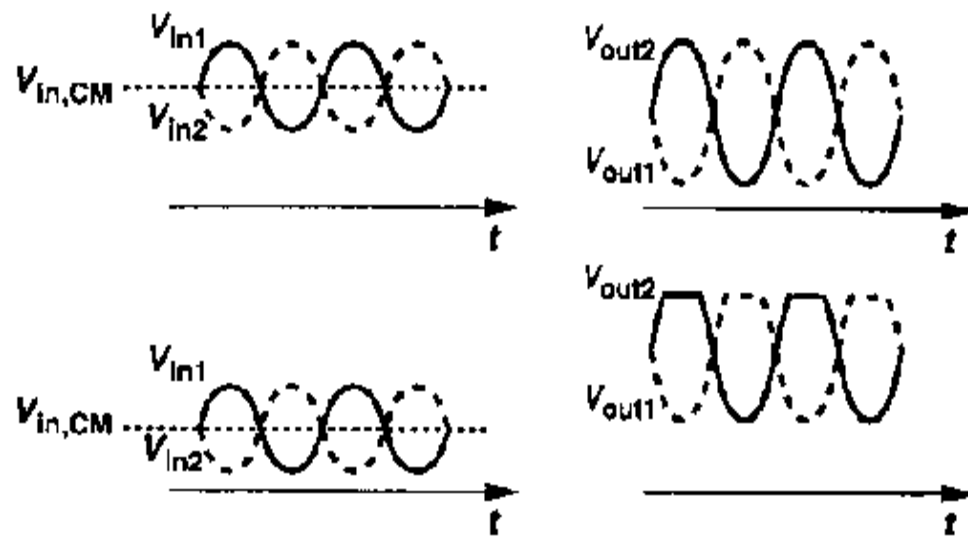
Comment amplifier un signal différentiel ??



(a)

Si $V_{in,cm}$ change, courant de polarisation de $M_{1,2}$ change

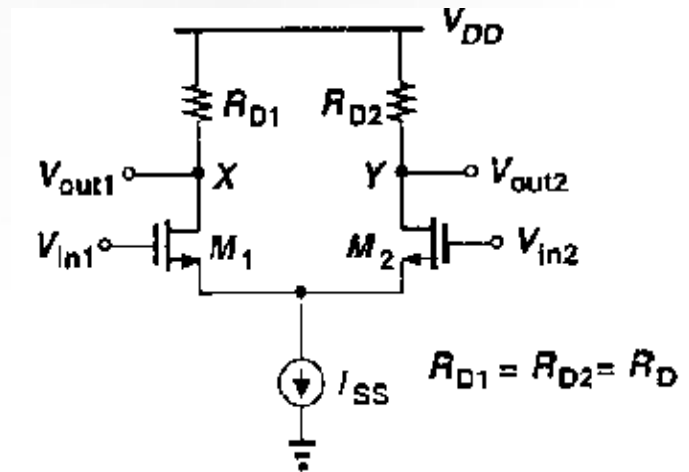
→ Variation de $V_{out,cm}$, variation de g_m (variation du gain)



(b)

Il faut que le courant de polarisation soit indépendant de $V_{in,cm}$

La solution : introduire une source de courant I_{SS}

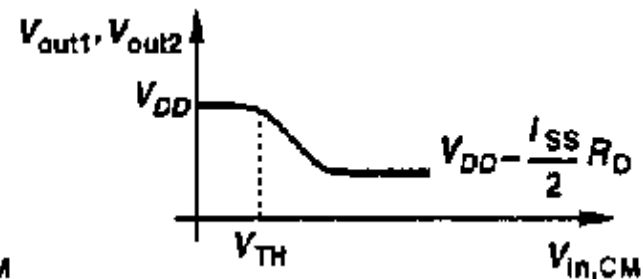
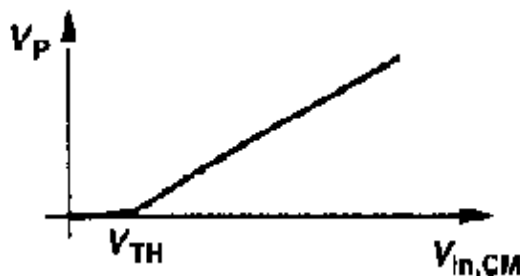
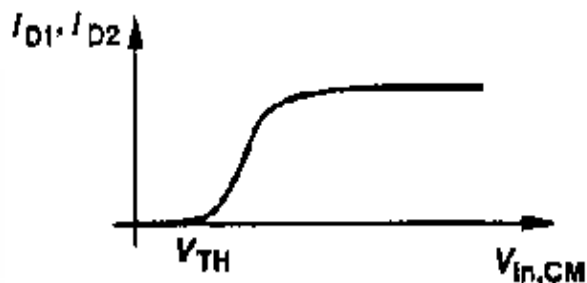
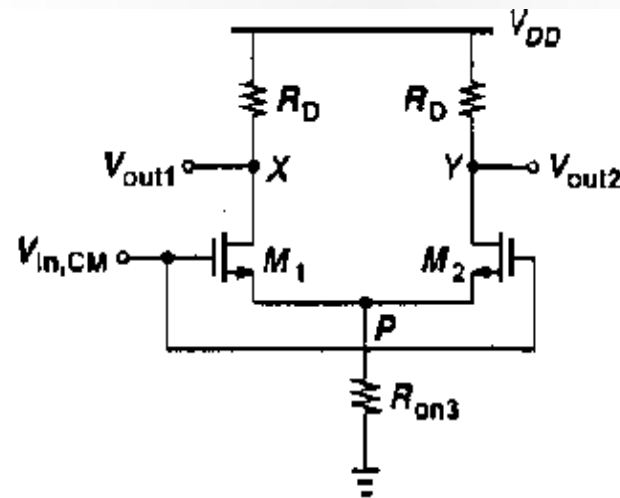
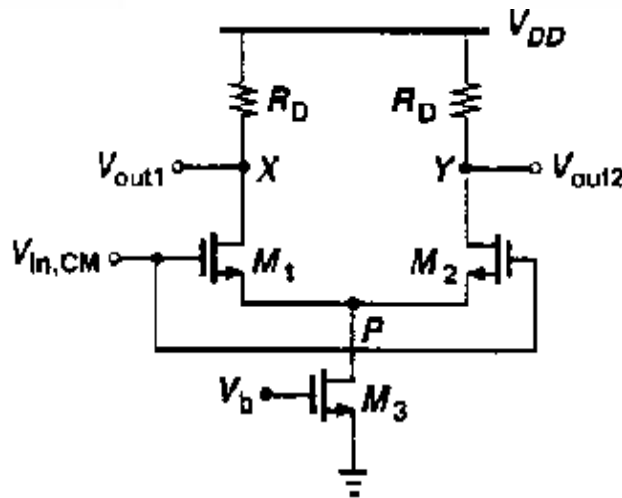


Le rôle de la source de courant I_{SS}

• $I_{D1} - I_{D2}$ indépendant de $V_{in,cm}$

• $V_{out,cm} = V_{DD} - R_D I_{SS}$

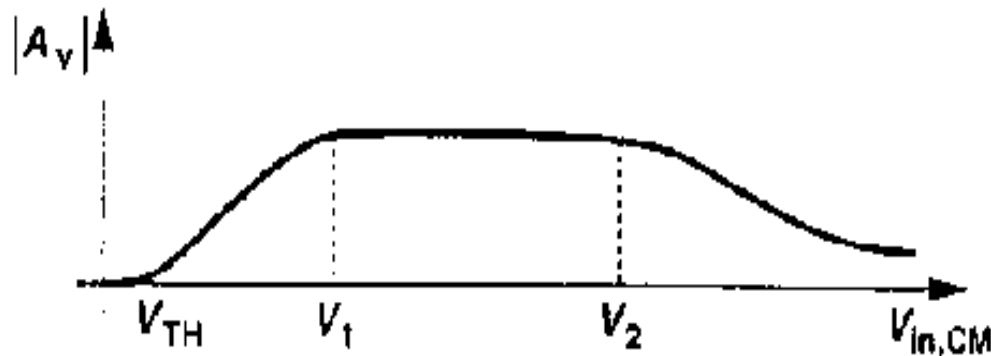
Analyse qualitative : plage d'entrée mode-commun



Condition de fonctionnement Normal

$$V_{GS1} + (V_{GS3} - V_{TH3}) \leq V_{in,CM} \leq \min \left[V_{DD} - R_D \frac{I_{SS}}{2} + V_{TH}, V_{DD} \right]$$

Analyse qualitative : Le gain en fonction de la tension mode Commun



Le gain augmente quand $V_{in,cm}$ dépasse V_{TH} . Quand M_3 entre en saturation ($V_{in,cm} = V_1$) le gain est constant. Si $V_{in,cm}$ continue d'augmenter, les transistors d'entrée entrent en région ohmique et le gain commence à chuter ($V_{in,cm} = V_2$)

Analyse qualitative : l'excursion de sortie en fonction de la tension mode Commun

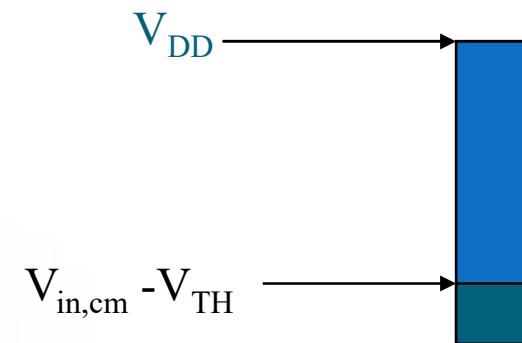
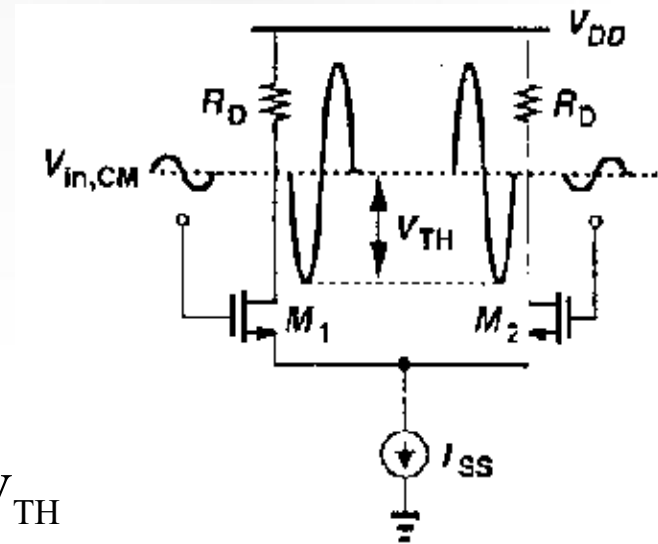
Excursion maximale de V_{out} ?

Limite inférieure

On a pour M_1 et M_2 en saturation $V_{D1,2} > V_{in,cm} - V_{TH}$

Limite supérieure

V_{out} peut atteindre V_{DD}



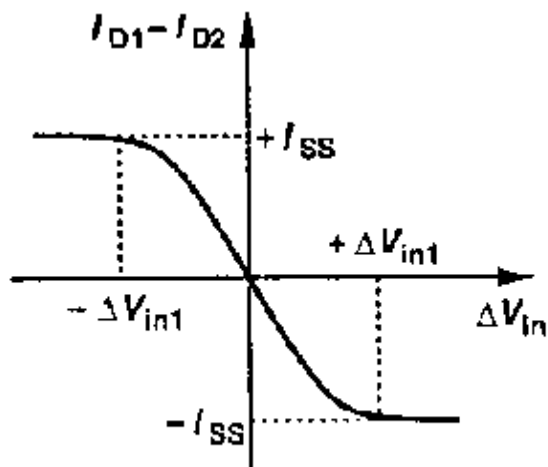
Plus $V_{in,cm}$ est **grand** plus l'excursion de sortie est **réduite**

Analyse quantitative de la paire différentielle :

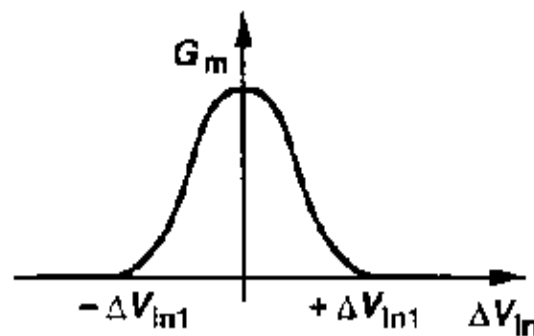
La fonction de transfert :
$$I_{out} = I_{out1} - I_{out2} = \sqrt{KI_{SS}} V_{id} \sqrt{1 - \frac{KV_{id}^2}{4I_{SS}}}$$

On calcule la transconductance G_m par :

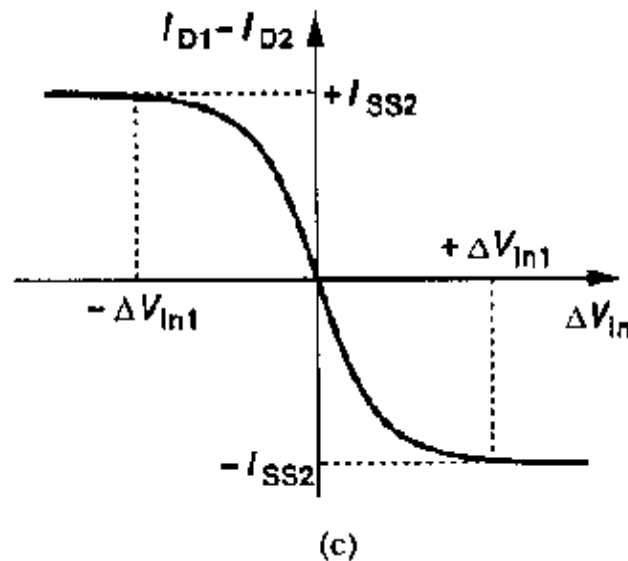
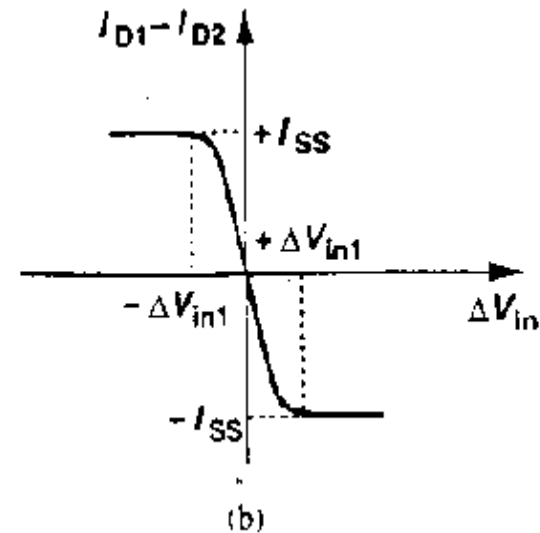
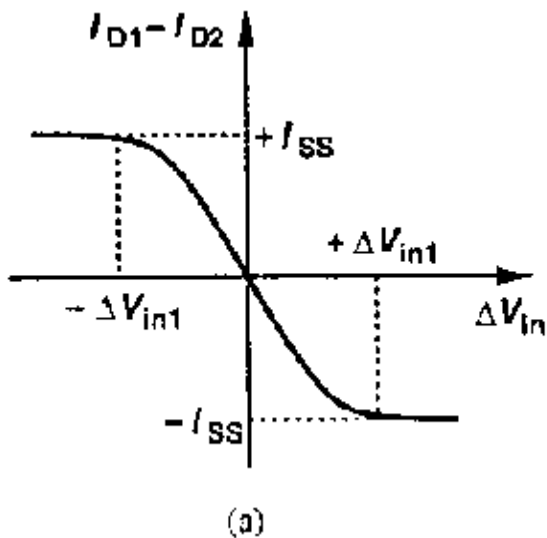
$$G_m = \frac{\partial I_{out}}{\partial V_{id}}$$



(a)



Le gain est donné par la formule : $V_{out} = R_D I_{out}$



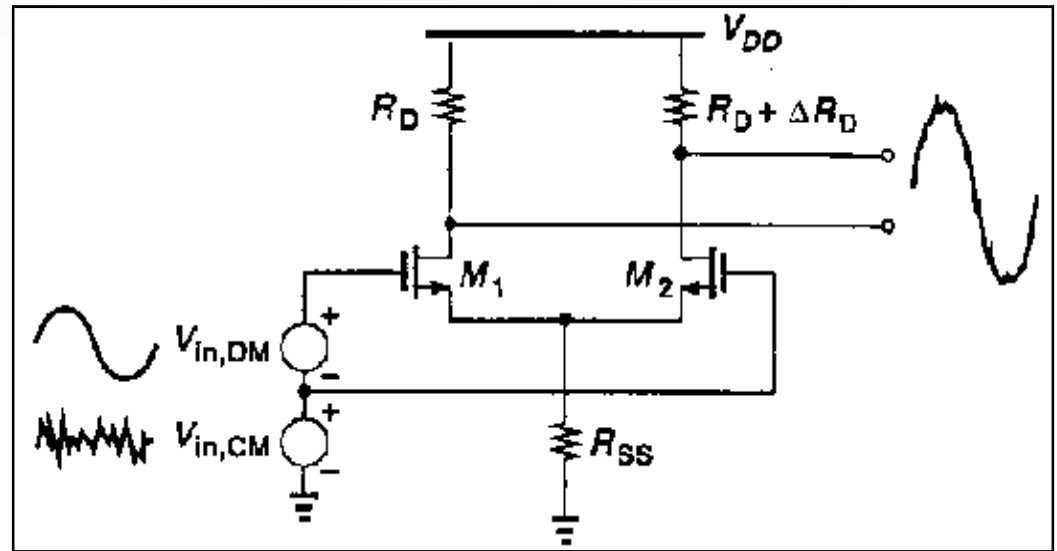
$$\Delta V_{in1} = \sqrt{\frac{2I_{SS}}{\mu_n C_{ox} \frac{W}{L}}}$$

1. W/L augmente la plage linéaire diminue (fig b)
2. I_{SS} augmente, la plage linéaire et l'excursion augmentent (fig c)

Effet du gain mode commun

$$\Delta V_X = -\Delta V_{in,CM} \frac{g_m}{1 + 2g_m R_{SS}} R_D$$

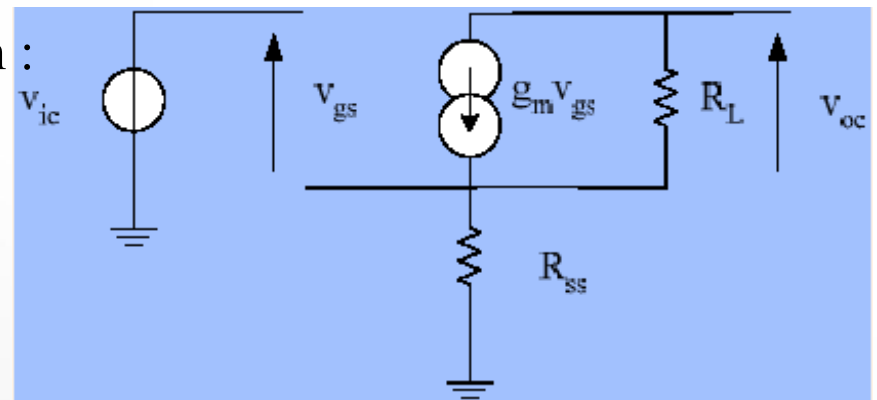
$$\Delta V_Y = -\Delta V_{in,CM} \frac{g_m}{1 + 2g_m R_{SS}} (R_D + \Delta R_D)$$



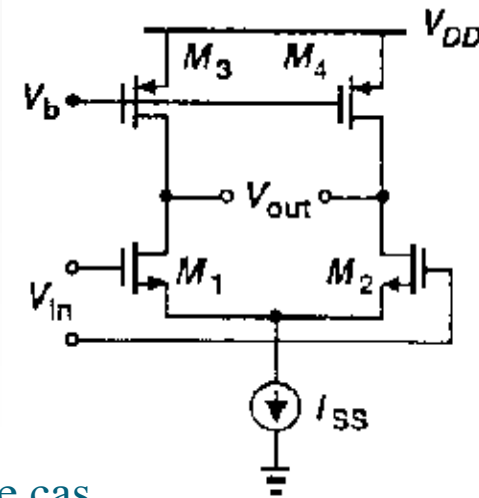
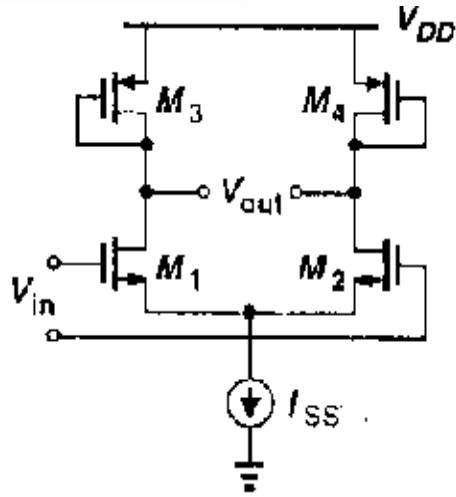
$$V_{out} = A_d V_{id} + \underbrace{A_c V_{ic}}_{\text{Nuisible au gain}}$$

On définit le Taux de réjection mode commun :

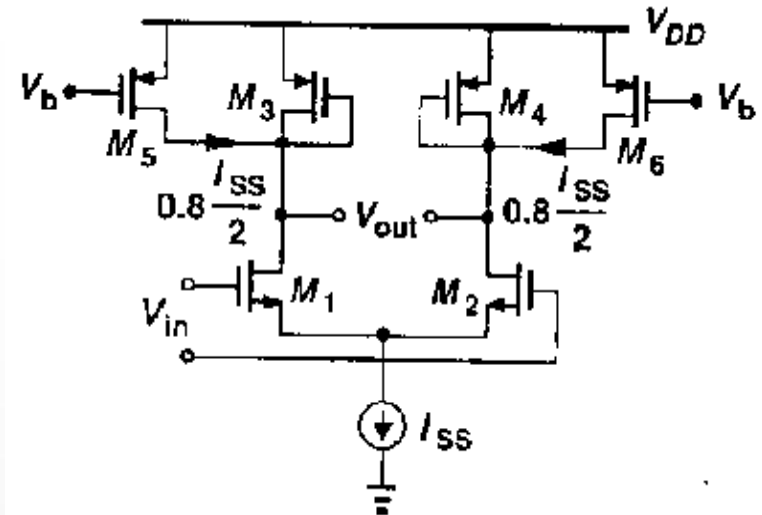
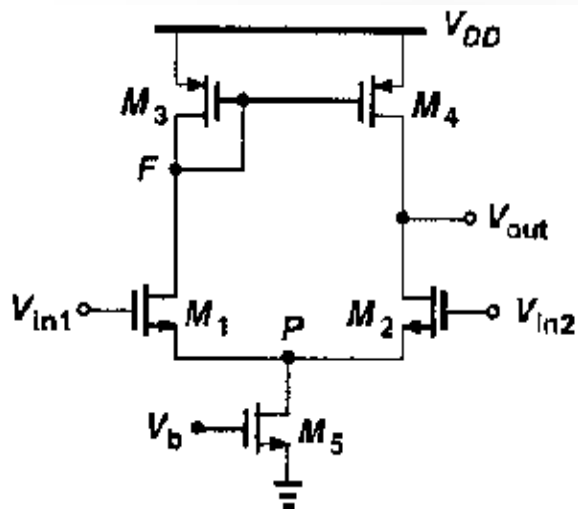
$$\text{TRMC} = 20 \log_{10} \left(\frac{A_d}{A_c} \right)$$



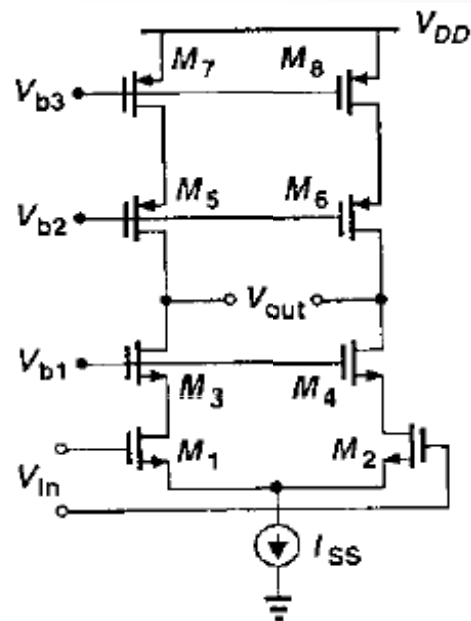
Augmentation du Gain



Comparer le gain dans chaque cas



Amplificateur télescopique:



Calculer le gain

$$|A_v| \approx g_{m1} [(g_{m3} r_{o3} r_{o1}) \parallel (g_{m5} r_{o5} r_{o7})]$$

Types de non idéalités limitants les performances des circuits analogiques :

- 1. Réponse en fréquence**
- 2. Bruit**
- 3. Non linéarité**
- 4. Erreurs d'appariement : Mismatch**

Important pôle et zéro

$$p = -\frac{g_{m3}}{C_x}$$

$$z = -2g_{m3}/C_x$$

avec

$$C_x \approx C_{gs3} + C_{gs4} = 2C_{gs3}$$

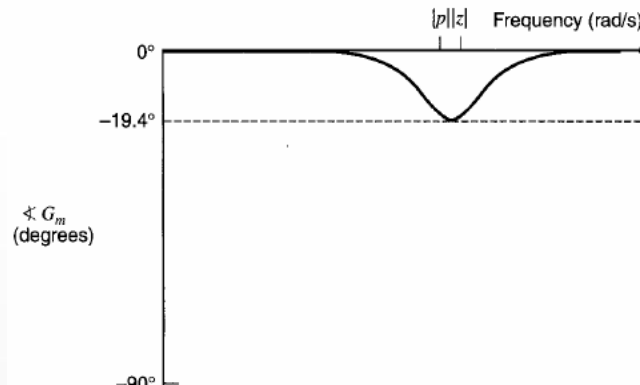
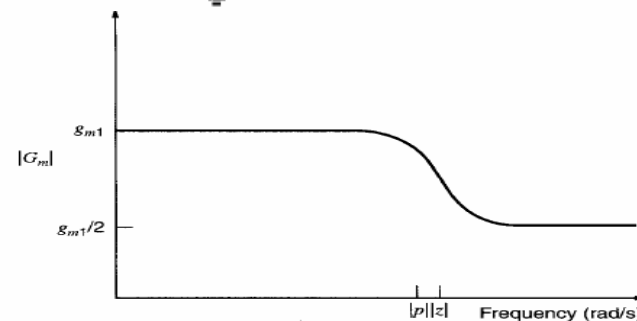
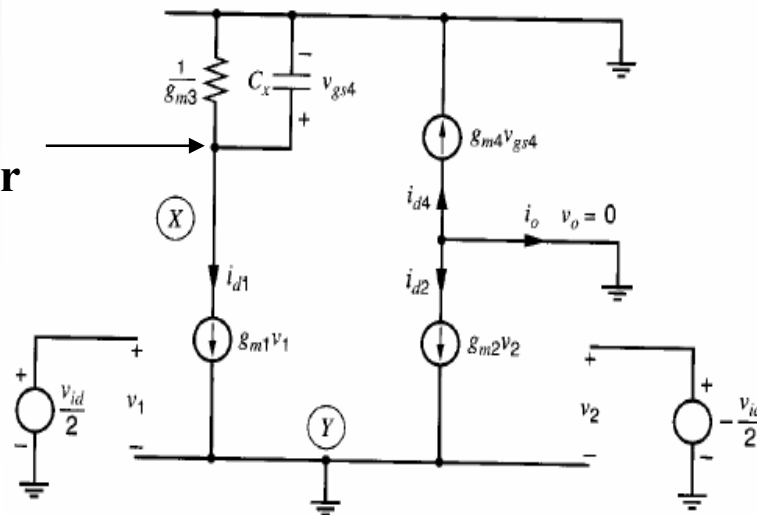
En basse fréquence, $i_{d1,2} = \pm g_{m1,2} v_{id}/2$ et le miroir de courant copie i_{d3} dans i_{d4}

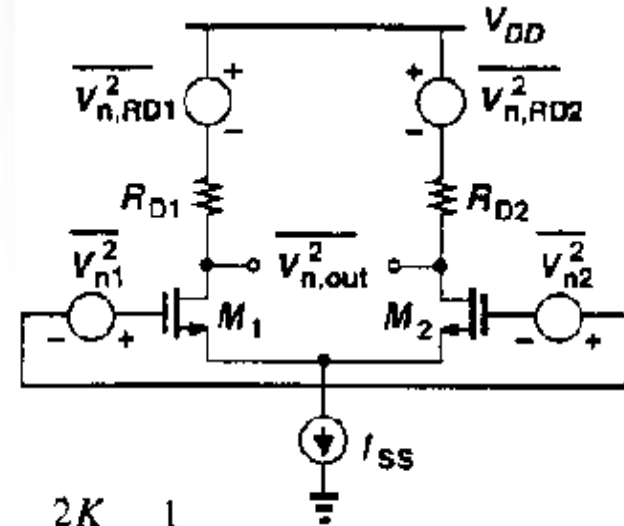
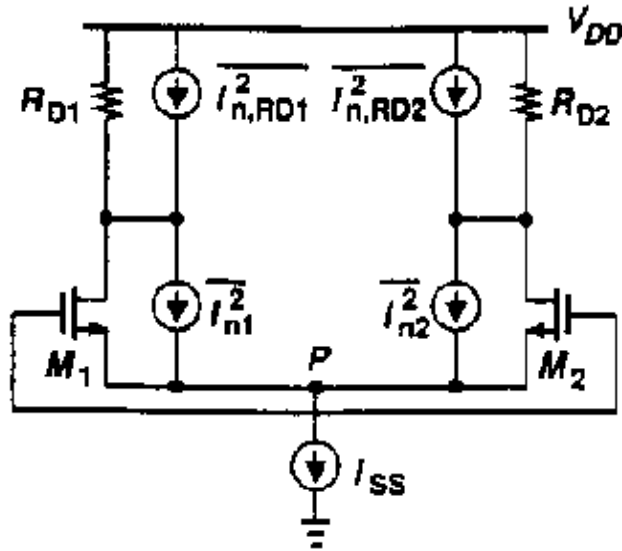
$$i_o = -i_{d2} - i_{d4} = -i_{d2} + i_{d1} = g_{m1} v_{id}$$

En haute fréquence C_x court-circuite la charge active ($v_{gs4} \rightarrow 0$ et $i_{d4} \rightarrow 0$)

$$i_o = -i_{d2} - i_{d4} = -i_{d2} - 0 = \frac{g_{m1} v_{id}}{2}$$

Pôle miroir





$$\overline{V_{n, in, tot}^2} = 8kT \left(\frac{2}{3g_m} + \frac{1}{g_m^2 R_D} \right) + \frac{2K}{C_{ox} W L} f^2$$

Est ce que I_{SS} contribue dans le bruit total ?

$$\Delta I_{D1} - \Delta I_{D2} = g_m \Delta V_n$$

$$= \sqrt{2\mu_n C_{ox} \frac{W}{L} \left(\frac{I_{SS} - I_n}{2} \right)} \Delta V_{in} \approx \sqrt{2\mu_n C_{ox} \frac{W}{L} \cdot \frac{I_{SS}}{2} \left(1 + \frac{I_n}{2I_{SS}} \right)} \Delta V_{in}$$

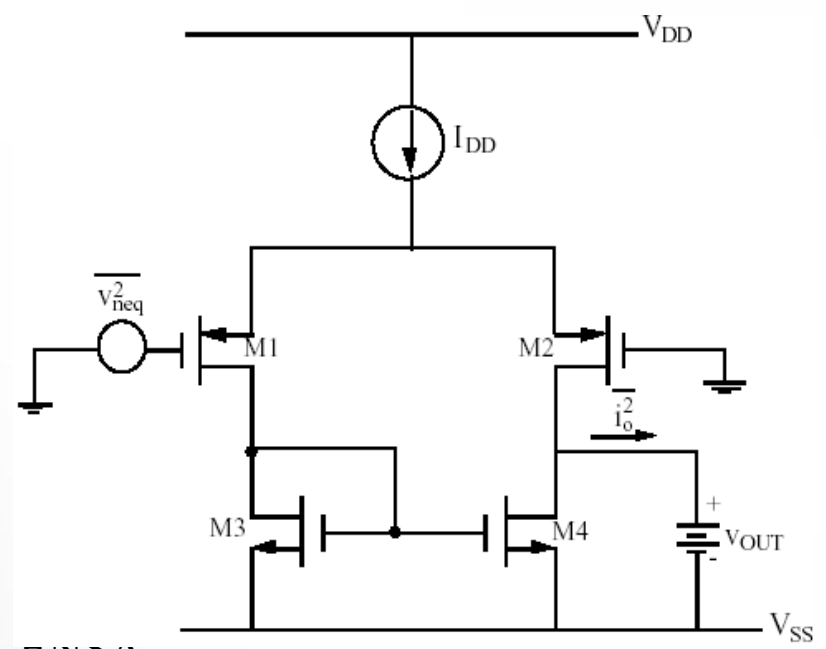
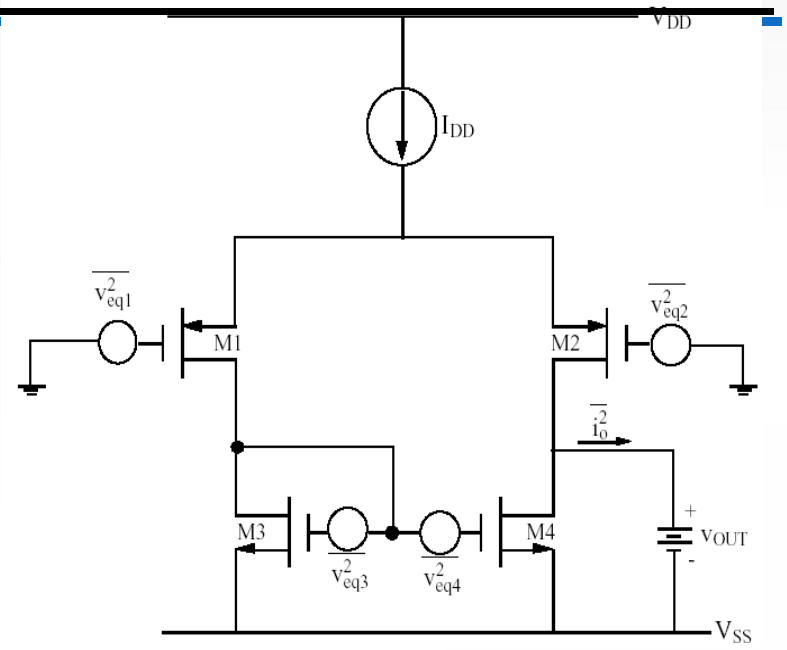
$$= g_{m0} \left(1 + \frac{I_n}{2I_{SS}} \right) \Delta V_{in}$$

$$\overline{i_{od}^2} = g_{m1}^2 \overline{v_1^2} + g_{m2}^2 \overline{v_2^2} + g_{m3}^2 \overline{v_3^2} + g_{m4}^2 \overline{v_4^2}$$

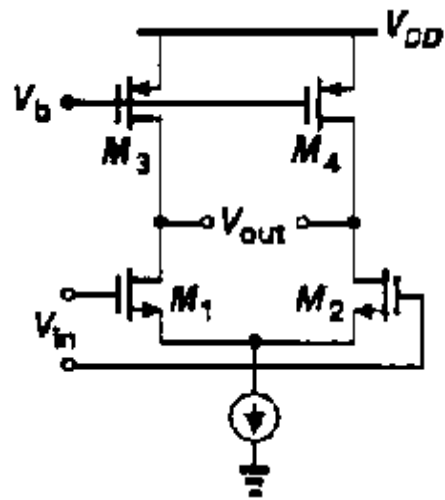
$$\overline{i_{od}^2} = g_{m1}^2 \overline{v_{neq}^2}$$

$$\overline{v_{neq}^2} = \overline{v_{eq1}^2} + \overline{v_{eq2}^2} + \left(\frac{g_{m3}}{g_{m1}}\right)^2 \left(\overline{v_{eq3}^2} + \overline{v_{eq4}^2}\right)$$

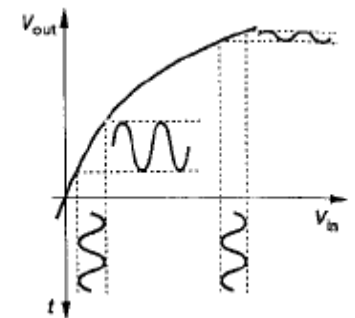
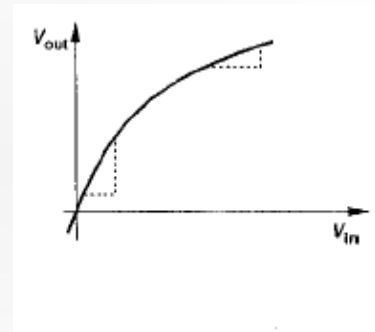
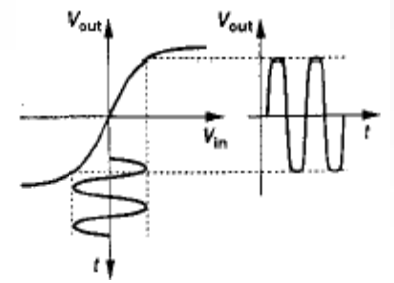
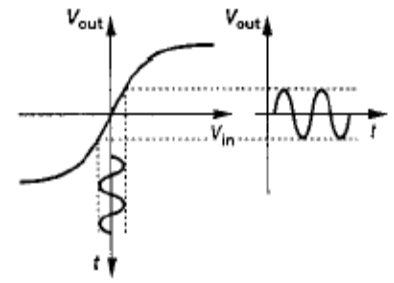
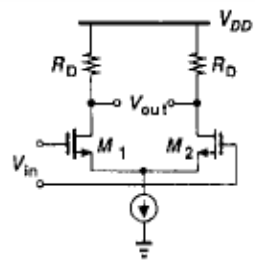
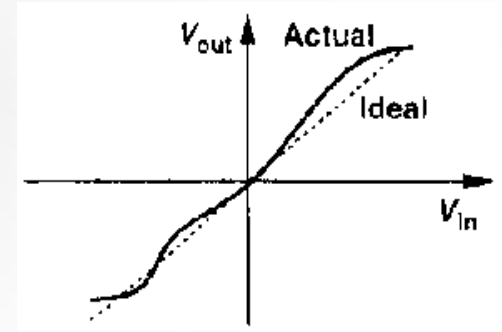
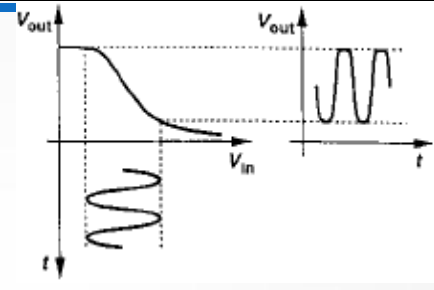
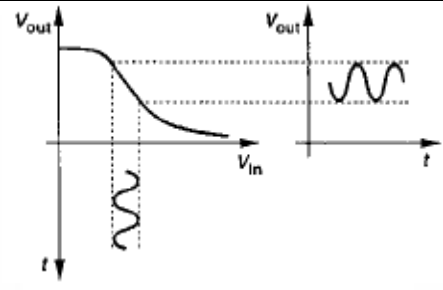
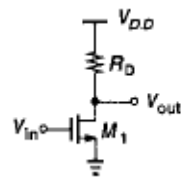
Avec $g_{m1} = g_{m2}$ et $g_{m3} = g_{m4}$



Calculer Le bruit ramené à l'entrée de la paire diff avec source de courant comme charge active



La distorsion



Comment quantifier la non-linéarité ?

Exprimer la fonction de transfert en série de Taylor

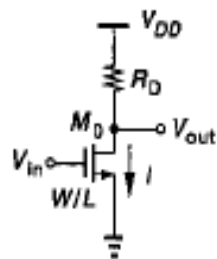
Appliquer un signal sinusoïdal

$$\begin{aligned}
 y(t) &= \alpha_1 A \cos \omega t + \alpha_2 A^2 \cos^2 \omega t + \alpha_3 \cos^3 \omega t + \dots \\
 &= \alpha_1 A \cos \omega t + \frac{\alpha_2 A^2}{2} [1 + \cos(2\omega t)] + \frac{\alpha_3 A^3}{4} [3 \cos \omega t + \cos(3\omega t)] + \dots
 \end{aligned}$$

Pour un ordre 3 on a :

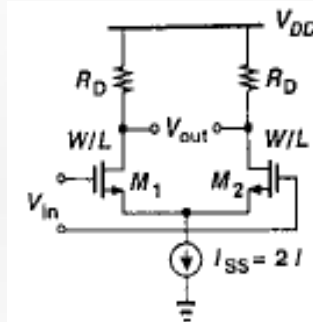
$$THD = \frac{(\alpha_2 A^2 / 2)^2 + (\alpha_3 A^3 / 4)^2}{(\alpha_1 A + 3\alpha_3 A^3 / 4)^2}$$

Les distorsions harmoniques sont indésirables dans la majorité des systèmes.



$$|A_v| \approx g_m R_D$$

$$= \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) R_D$$



$$I_{D0} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH} + V_m \cos \omega t)^2$$

$$= \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 + \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) V_m \cos \omega t$$

$$+ \frac{1}{2} \mu_n C_{ox} \frac{W}{L} V_m^2 \cos^2 \omega t$$

$$= I + \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) V_m \cos \omega t + \frac{1}{4} \mu_n C_{ox} \frac{W}{L} V_m^2 [1 + \cos(2\omega t)]$$

$$\frac{A_{HD2}}{A_F} = \frac{V_m}{4(V_{GS} - V_{TH})}$$

$$I_{D1} - I_{D2} = \mu_n C_{ox} \frac{W}{L} V_{in} (V_{GS} - V_{TH}) \sqrt{1 - \frac{V_{in}^2}{4(V_{GS} - V_{TH})^2}}$$

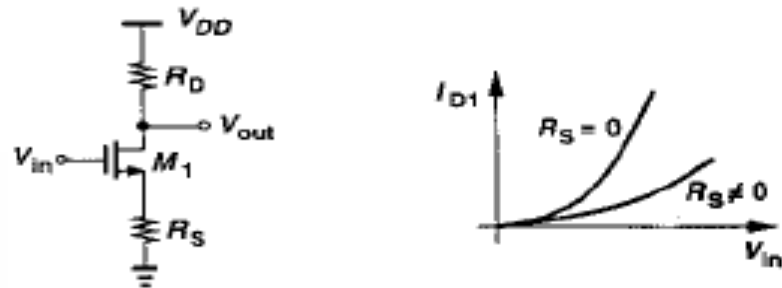
$$\approx \mu_n C_{ox} \frac{W}{L} V_{in} (V_{GS} - V_{TH}) \left[1 - \frac{V_{in}^2}{8(V_{GS} - V_{TH})^2} \right]$$

$$= \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) \left[V_m \cos \omega t - \frac{V_m^3 \cos^3 \omega t}{8(V_{GS} - V_{TH})^2} \right]$$

$$\frac{A_{HD3}}{A_F} \approx \frac{V_m^2}{32(V_{GS} - V_{TH})^2}$$

Exemple : $V_m = 0.2(V_{GS} - V_{TH})$ 5 % pour SC et 0.125 pour paire diff

Technique de linéarisation : dégénérescence de source




$$G_m = \frac{g_m}{1 + g_m R_S}$$

- La linéarisation est fonction de $g_m R_S$
- La dégénération de source présente un compromis entre la linéarité, bruit, puissance dissipée et le gain
- Il est difficile avec une entrée $1V_{pp}$ d'avoir un gain de l'ordre de 2 si on veut une erreur de linéarité inférieure à 1%

La fonction de transfert de la paire différentielle

$$I_{out} = \sqrt{2KI_{ss}} V_{id} \sqrt{1 - \frac{K^2 V_{id}^2}{G_m^2}}$$

Pour $HD3 < 1\%$ $I_{ss} = 100\mu A$ $(W/L) = 50/2$  $V_{idmax} = 0,12 V$

Très faible plage de linéarité

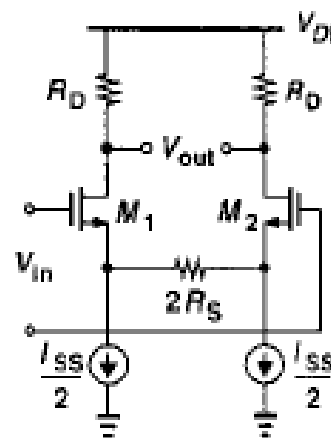
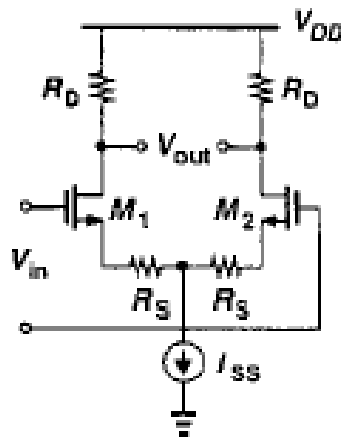
Il faut lineariser la paire différentielle

Principe d'implémentation :

Si

$$V_R = \frac{a}{a-1} V_{id}$$

$$I_{out} = \frac{\sqrt{2KI_{ss}}}{a} V_{id} \sqrt{1 - \frac{KV_{id}^2}{4a^2 I_{ss}}}$$

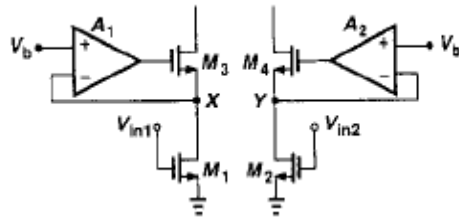


La structure source dégénérée réduit la non linéarité par un facteur a^2 et la transconductance par un facteur a

Le circuit 1 a l'inconvénient de la réduction de la plage de fonctionnement DC

Le circuit 2 a l'inconvénient de l'augmentation du bruit et de l'offset

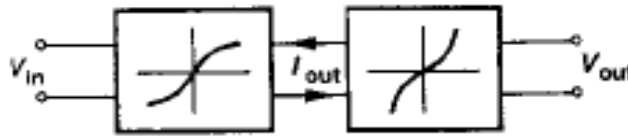
$M_{1,2}$ en région Ohmique



$$I_D = (1/2) \mu C_{OX} (W/L) [2(V_{GS} - V_{TH})V_{DS} - V_{DS}^2]$$

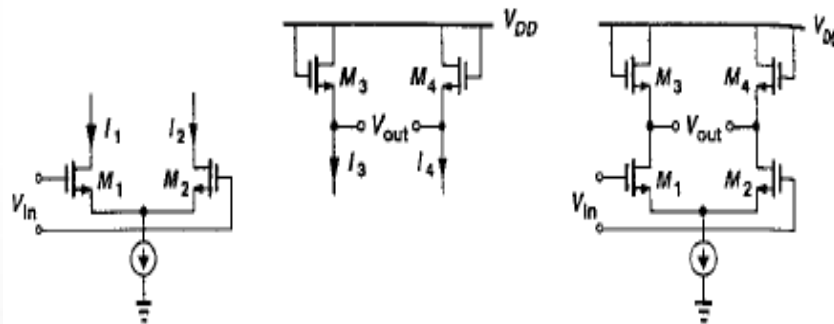
A_1 et A_2 pour forcer $V_X = V_Y$

- Très faible g_m (V_{ds} faible)
- Restriction sur entrée mode commun (adaptabilité entre V_{cm} et V_b)



$$V_{in1} - V_{in2} = V_{GS1} - V_{GS2}$$

$$V_{out} = V_{GS3} - V_{GS4}$$



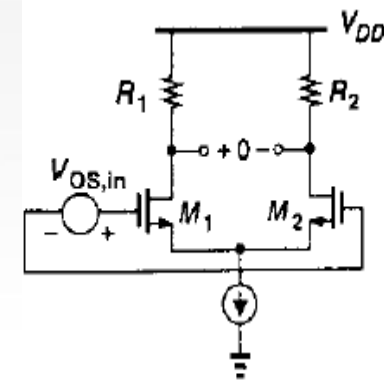
$$V_{out} = \sqrt{\frac{(W/L)_{1,2}}{(W/L)_{3,4}}} (V_{in1} - V_{in2})$$

Limitations :

1. Effet du substrat
2. Effet de la miniaturisation

Calculer la tension d'offset de l'amplificateur de la figure suivante

$$V_{os,in} = \frac{V_{GS} - V_{TH}}{2} \left[\frac{\Delta R_D}{R_D} + \frac{\Delta(W/L)}{(W/L)} \right] - \Delta V_{TH}$$



Cette relation révèle la dépendance de \$V_{os}\$ avec la polarisation et les erreurs d'appariement

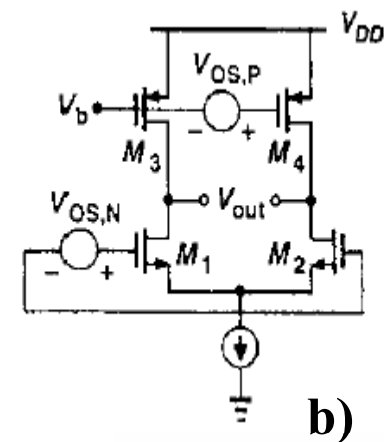
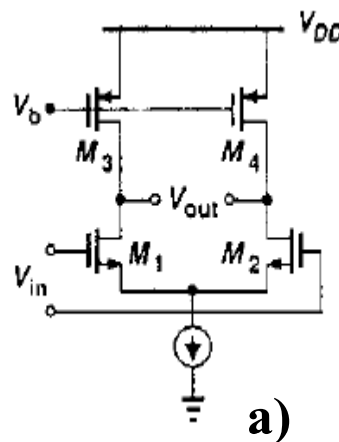
Et puisque ces erreurs sont indépendantes statiquement :

$$V_{os,in}^2 = \left(\frac{V_{GS} - V_{TH}}{2} \right)^2 \left[\left(\frac{\Delta R_D}{R_D} \right)^2 + \left[\frac{\Delta(W/L)}{(W/L)} \right]^2 \right] + \Delta V_{TH}^2$$

Soit le circuit de la figure a). Pour calculer l'offset, on introduit deux tensions d'offset entre M_1, M_2 et M_3, M_4 .

$$V_{os,P} = \frac{|V_{GS} - V_{TH}|_P}{2} \left[\frac{\Delta(W/L)}{(W/L)} \right]_P + \Delta V_{TH,P}$$

$$V_{os,N} = \frac{(V_{GS} - V_{TH})_N}{2} \left[\frac{\Delta(W/L)}{(W/L)} \right]_N + \Delta V_{TH,N}$$



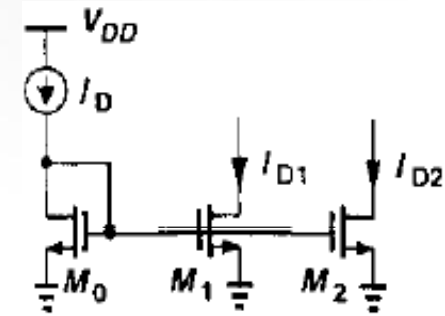
$V_{os,P}$ est amplifié par un facteur de gain de l'amplificateur source commune chargé avec source de courant. L'offset total est donné par :

$$V_{os,in} = \left\{ \frac{|V_{GS} - V_{TH}|_P}{2} \left[\frac{\Delta(W/L)}{(W/L)} \right]_P + \Delta V_{TH,P} \right\} \frac{g_{mP}}{g_{mN}} + \frac{(V_{GS} - V_{TH})_N}{2} \left[\frac{\Delta(W/L)}{(W/L)} \right]_N + \Delta V_{TH,N}$$

On calcule l'offset par on calculant la différentielle totale exacte

$$\Delta I_D = \frac{\partial I_D}{\partial (W/L)} \Delta \left(\frac{W}{L} \right) + \frac{\partial I_D}{\partial (V_{GS} - V_{TH})} \Delta (V_{GS} - V_{TH})$$

$$\Delta I_D = \frac{1}{2} \mu_n C_{ox} (V_{GS} - V_{TH})^2 \Delta \left(\frac{W}{L} \right) - \mu_n C_{ox} \left(\frac{W}{L} \right) (V_{GS} - V_{TH}) \Delta V_{TH}$$



On normalise % à I_D pour permettre une comparaison significative :

$$\frac{\Delta I_D}{I_D} = \frac{\Delta (W/L)}{(W/L)} - 2 \frac{\Delta V_{TH}}{V_{GS} - V_{TH}}$$

Étude des architectures de l'amplificateur à grand gain

Pkoi un fort gain en boucle ouverte

1- Le gain :

Il détermine la précision de la boucle de la rétroaction : suppression de la non-linearité

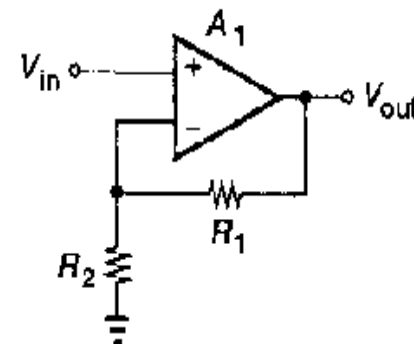
Exemple :

$$\begin{aligned} \frac{V_{out}}{V_{in}} &= \frac{A_0}{1 + \frac{R_2}{R_1 + R_2} A_0} \\ &= \frac{R_1 + R_2}{R_2} \frac{A_0}{A_0 + \frac{R_1 + R_2}{R_2}} \end{aligned}$$

On suppose que $A_0 \gg 10$

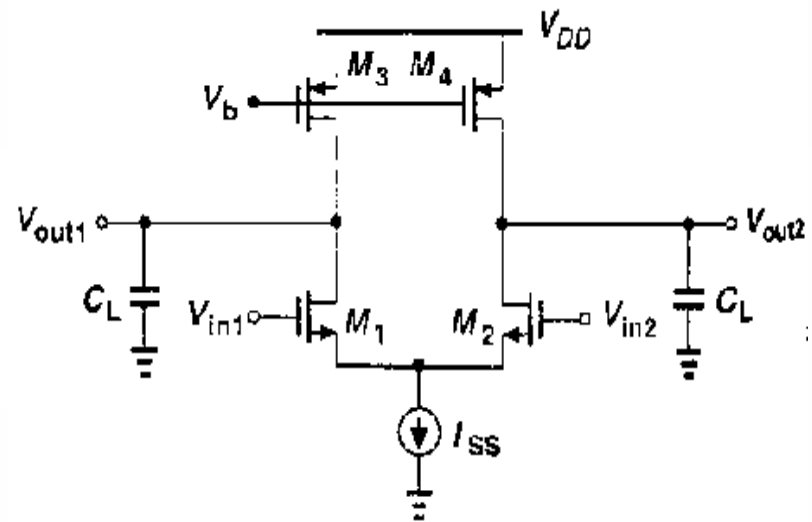
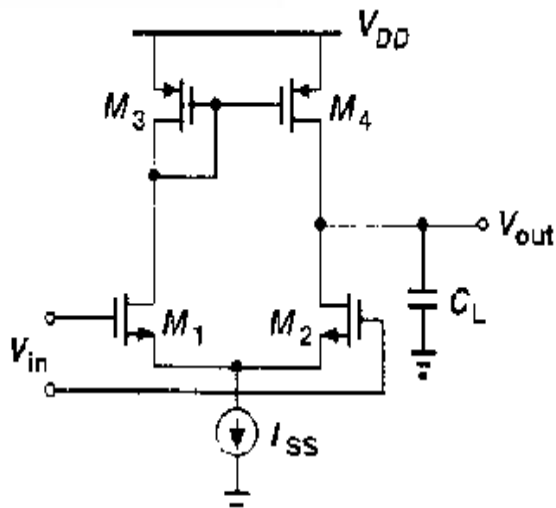
$$\frac{V_{out}}{V_{in}} \approx \left(1 + \frac{R_1}{R_2}\right) \left(1 - \frac{R_1 + R_2}{R_2} \frac{1}{A_0}\right)$$

L'erreur relative = $(R_1 + R_2) / (R_2 A_1)$



Pour avoir erreur <1% il faut avoir $A_0 > 1000$

AO a un seul étage



Le gain est donné par : $g_{mN}(r_{ON} // r_{OP}) \approx 20$ (à peine) avec les techno submicroniques

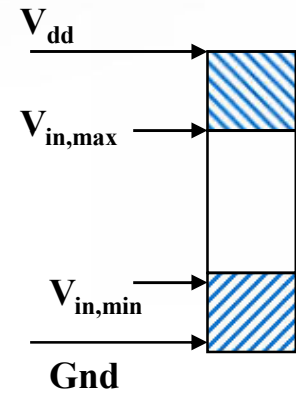
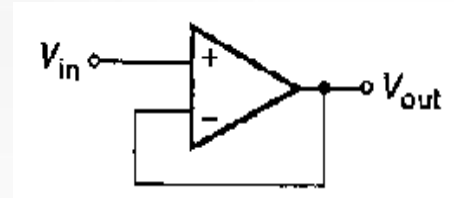
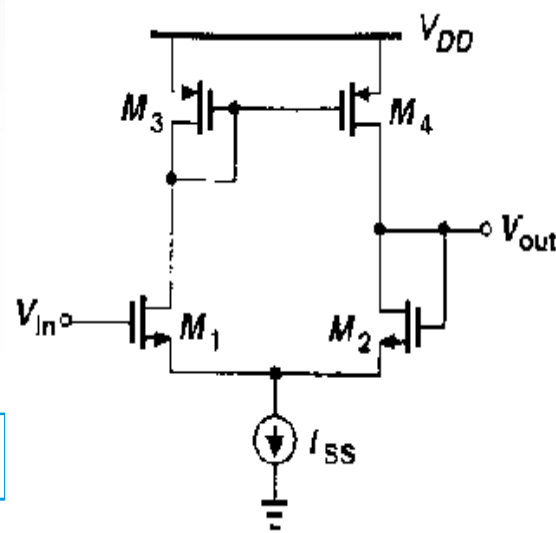
AO a un seul étage

Exemple d'utilisation : suiveur

$$V_{in,min} = V_{css} + V_{GS1}$$

$V_{in,max}$ est donné par le niveau qui place M1 à la limite de la région ohmique)

$$V_{out,max} = V_{DD} - |V_{GS3}| + V_{TH1}$$



Exp : $V_{TH} = 0.7 \text{ V}$ $V_{DS,sat} = 0.3 \text{ V}$

$$V_{in,min} = 0.3 + 0.3 + 0.7 = 1.3 \text{ V}$$

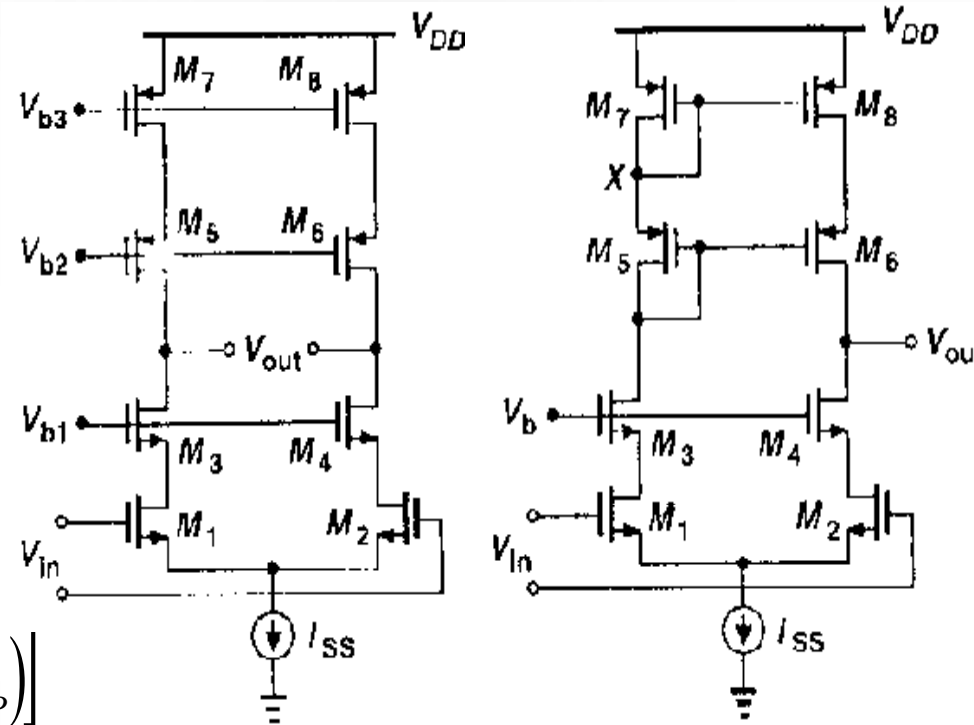
$$V_{in,max} = 3 - (0.3 + 0.7) + 0.7 = 2.7 \text{ V}$$

Input CM = 1.4V sous 3V supply

Rq Importante : Z_{out} en boucle ouverte est relativement indépendante de Z_{out} en boucle fermée

$$Z_{out} = \frac{r_{OP} \parallel r_{ON}}{1 + g_{mN} (r_{OP} \parallel r_{ON})} \approx \frac{1}{g_{mN}}$$

Augmentation du gain de l'AO à 1 étage:



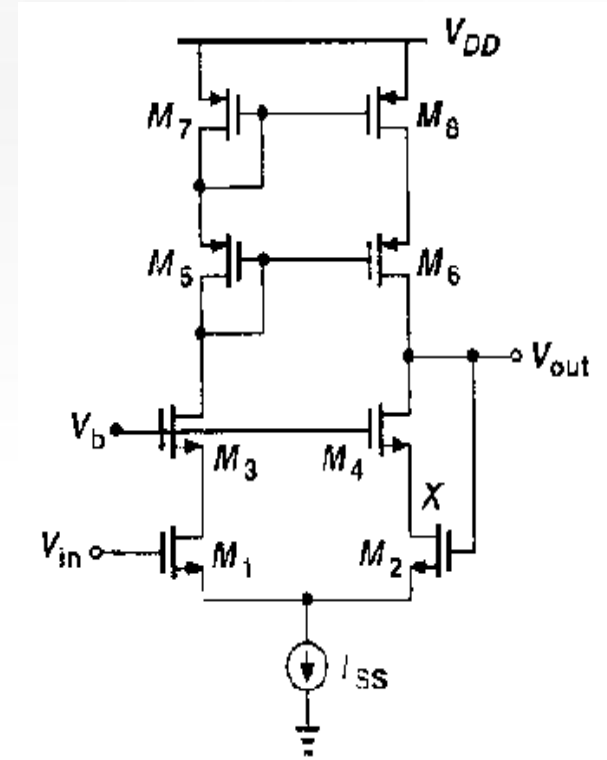
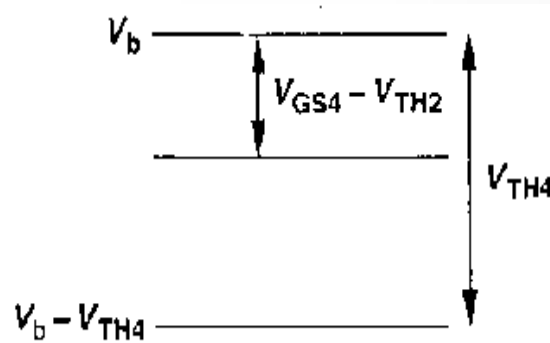
Le gain est donné par : $g_{mN} \left[\left(g_{mN} r_{ON}^2 \right) \parallel \left(g_{mP} r_{OP}^2 \right) \right]$

L'excursion de sortie :

$$2[V_{DD} - (V_{ds,sat1} + V_{ds,sat3} + V_{css} + |V_{ds,sat5}| + |V_{ds,sat7}|)]$$

Inconvénients : Réduction de l'excursion de sortie
 Dégradation de la réponse en fréquence

Utilisation en suiveur :



Cds de fct Normal :

$$V_{out} < V_X + V_{TH2} \text{ et } V_{out} > V_b - V_{TH4}$$

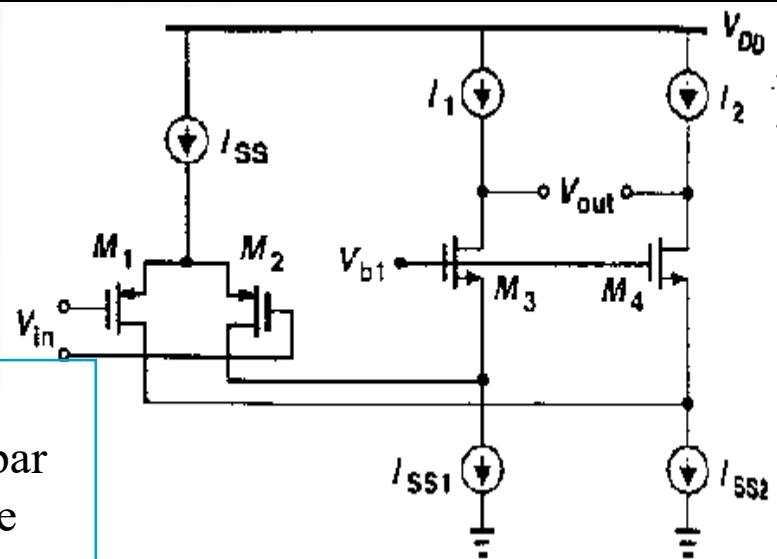
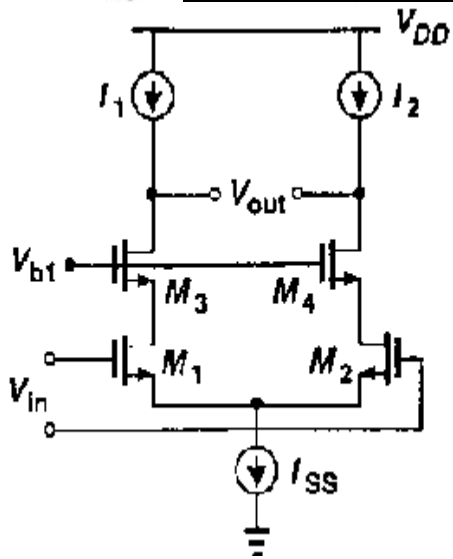
Puisque $V_X = V_b - V_{GS4}$

$$V_b - V_{TH4} < V_{out} < V_b - V_{GS4} + V_{TH2}$$

$$\Delta V_{out} = V_{max} - V_{min} = V_{TH4} - (V_{GS4} - V_{TH2}) \approx V_{TH2} \text{ !!! Très faible}$$

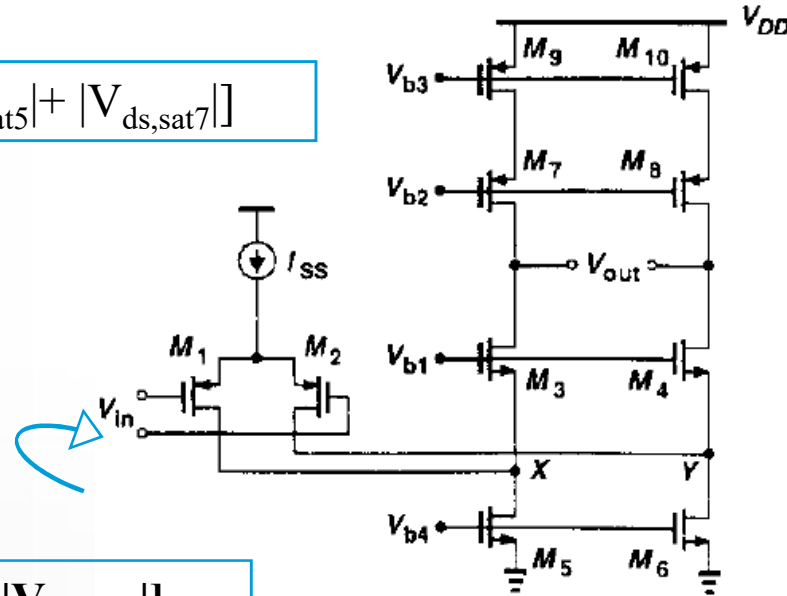
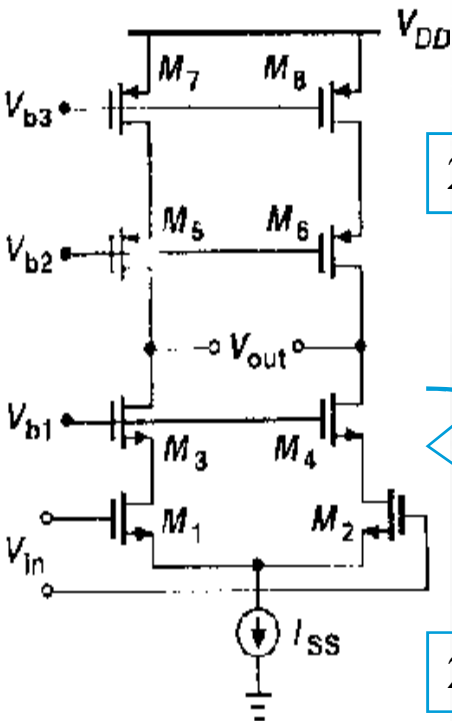
Donc A ne pas être utiliser en suiveur

Configuration Folded-Cascode Op Amp



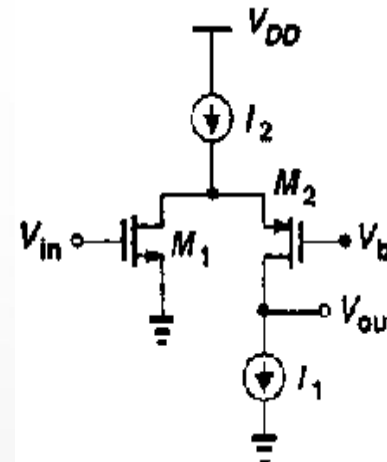
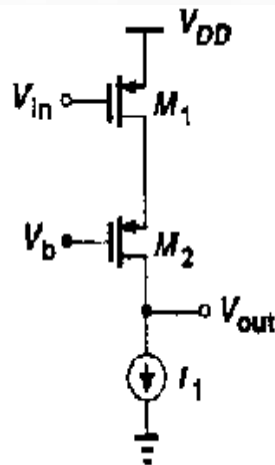
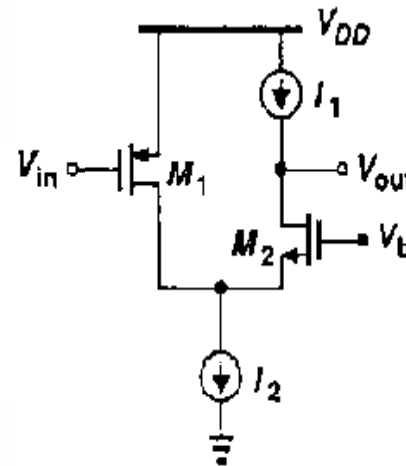
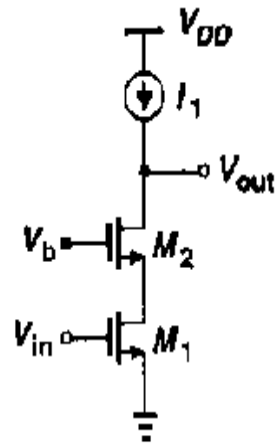
Augmentation de l'excursion de sortie par $V_{ds,sat}$ de la source de polarisation

$$2[V_{DD} - (V_{ds,sat1} + V_{ds,sat3} + V_{css} + |V_{ds,sat5}| + |V_{ds,sat7}|)]$$



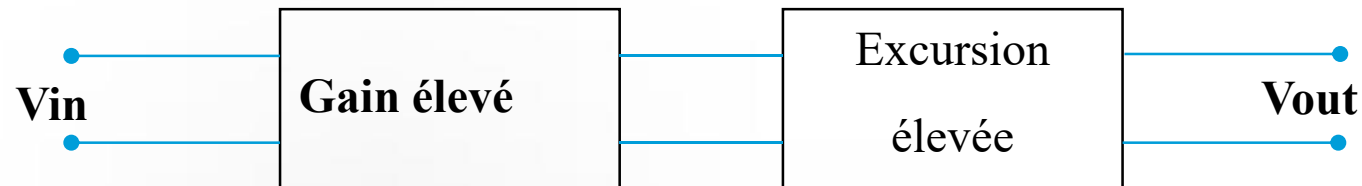
$$2[V_{DD} - (V_{ds,sat5} + V_{ds,sat3} + |V_{ds,sat7}| + |V_{ds,sat9}|)]$$

Comment obtenir une structure folded cascode à partir d'une structure cascode : remplacer le MOS d'entrée par le type opposé



Two stage Op Amps

1. Un premier étage qui permet un gain élevée
2. Un deuxième étage qui permet une grande excursion



Possibilité de cascader plusieurs étages au détriment de la vitesse !!

$$G_1 = g_{m1,2}(r_{01,02} // r_{03,04})$$

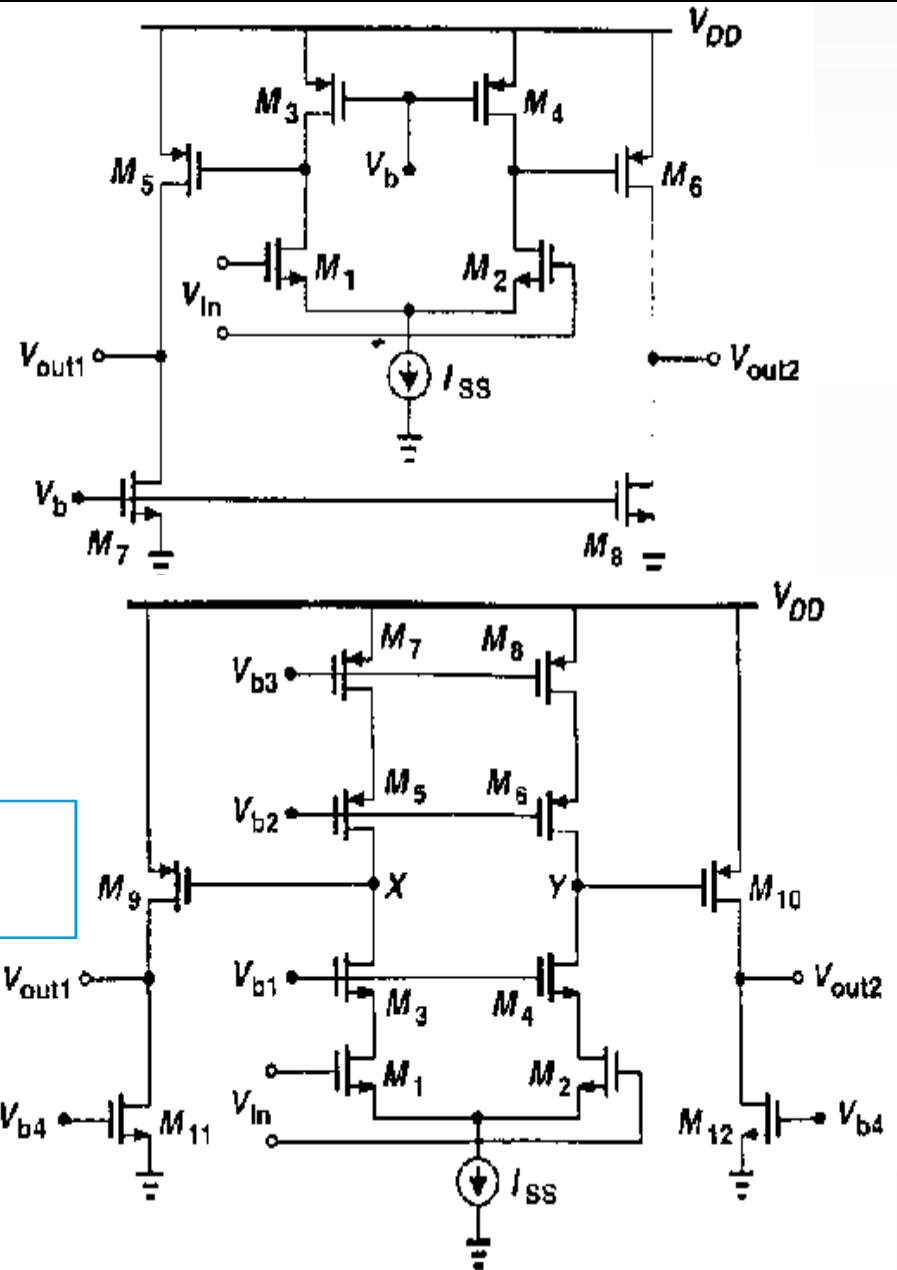
$$G_2 = g_{m5,6}(r_{07,08} // r_{05,06})$$

L'excursion de $V_{out1,2}$:

$$V_{DD} - |V_{ds,sat5,6}| - V_{ds,sat7,8}$$

$$G = \{g_{m1,2}[g_{m3,4} + g_{mb3,4}] r_{01,02} r_{03,04}\} // [g_{m5,6} + g_{mb5,6}] r_{05,06} r_{07,08} \} \times [g_{m9,10}(r_{09,10} // r_{011,12})]$$

On réduit le gain de l'étage de sortie pour avoir un max d'excursion



$$G_1 = g_{m1,2}(r_{01,02} // r_{03,04})$$

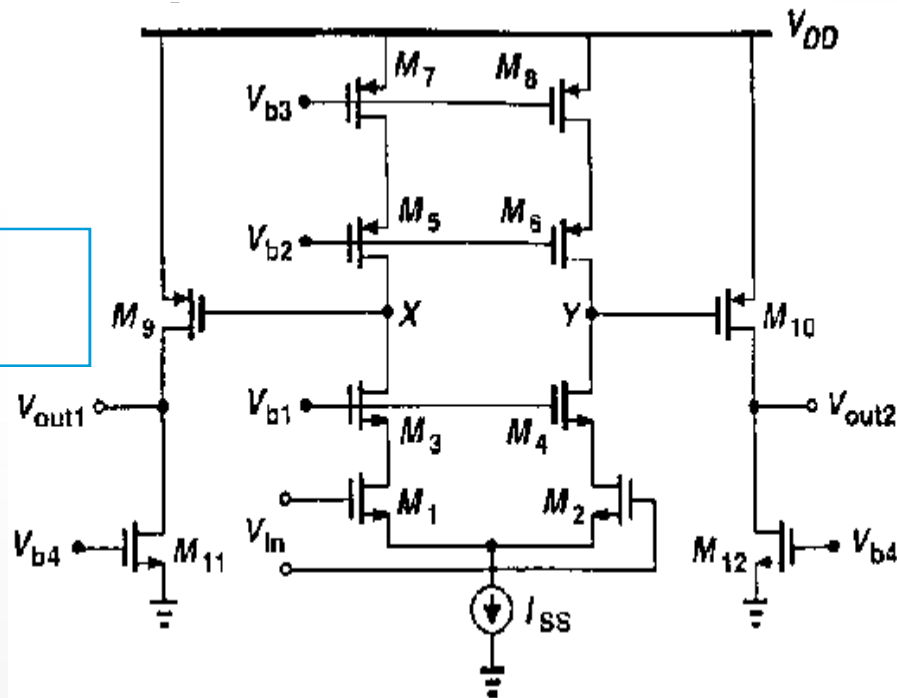
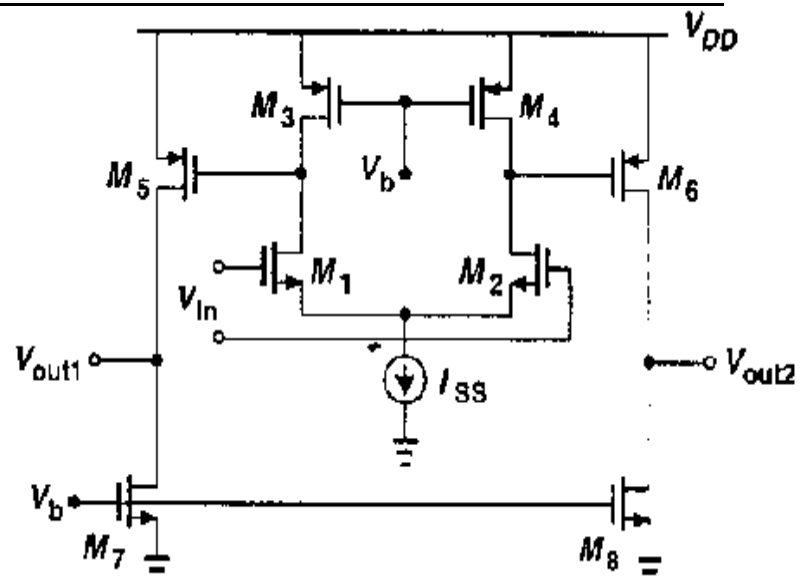
$$G_2 = g_{m5,6}(r_{07,08} // r_{05,06})$$

L'excursion de $V_{out1,2}$:

$$V_{DD} - |V_{ds,sat5,6}| - V_{ds,sat7,8}$$

$$G = \{g_{m1,2}[g_{m3,4} + g_{mb3,4}] r_{01,02} r_{03,04} // [g_{m5,6} + g_{mb5,6}] r_{05,06} r_{07,08}\} \times [g_{m9,10}(r_{09,10} // r_{011,12})]$$

On réduit le gain de l'étage de sortie pour avoir un max d'excursion



Comportement Fréquentiel de l'AOP à Deux Etages

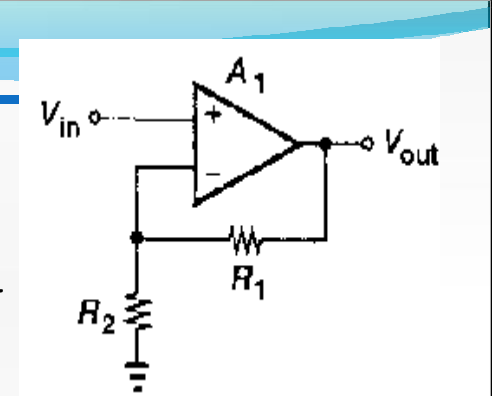
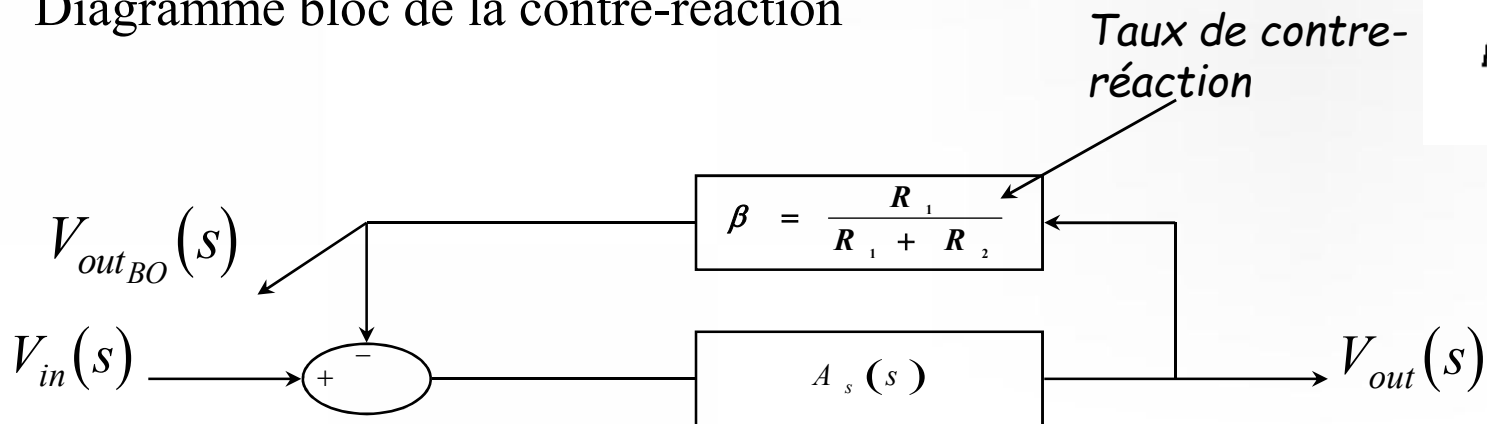


Diagramme bloc de la contre-réaction



La fonction de transfert du système bouclé : $H(j\omega) = \frac{A(j\omega)}{1 + \beta A(j\omega)}$

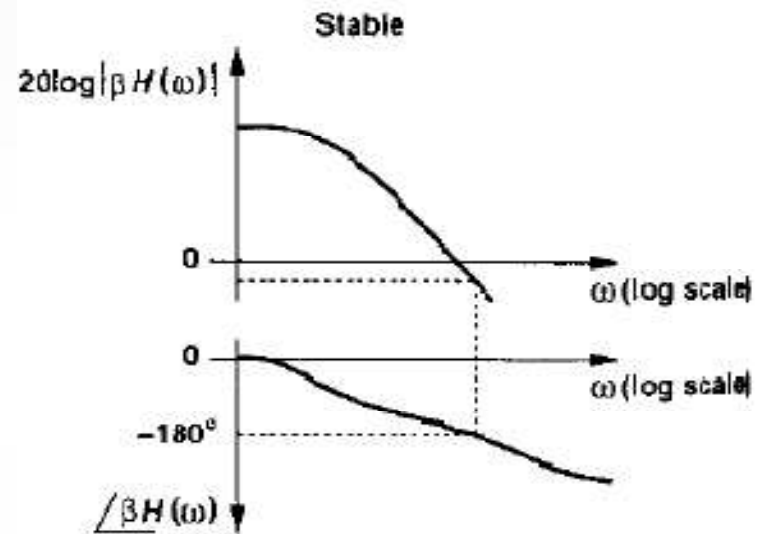
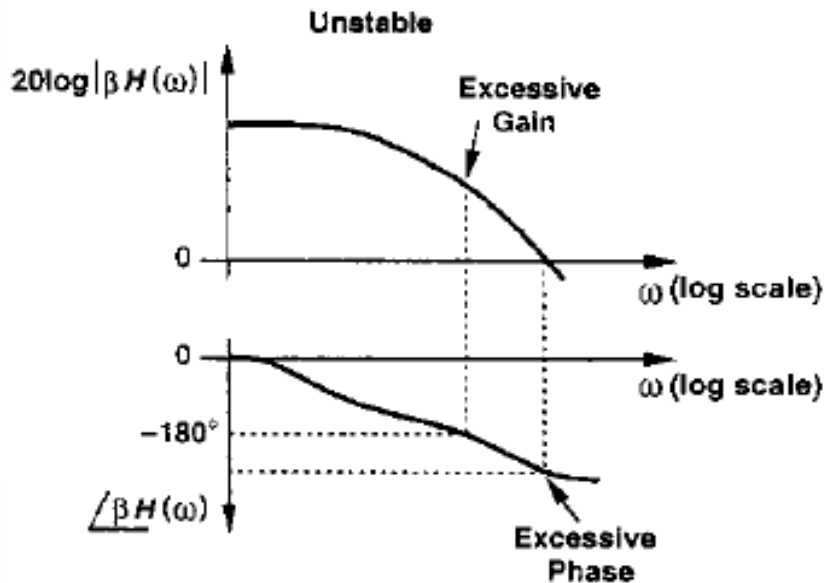
Condition de stabilité:

Le système oscillera si les conditions de Barkhausen sont vérifiées

$$\beta A(j\omega) = -1 \Leftrightarrow \begin{cases} |\beta A(j\omega)| = 1 \\ \angle \beta A(j\omega) = -180^\circ \end{cases}$$

Comment quantifier la stabilité ?

On trace le diagramme de Bode de $\beta A(j\omega)$

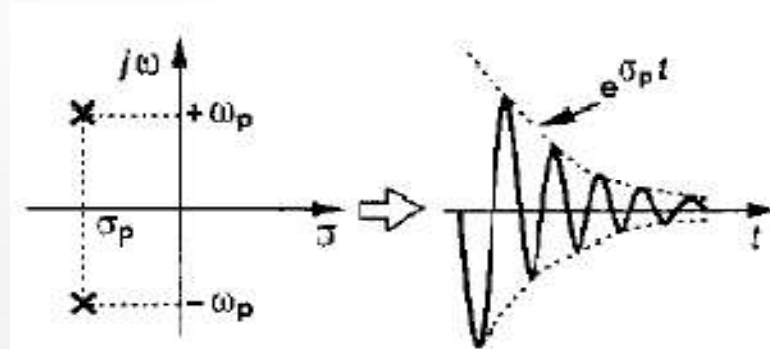
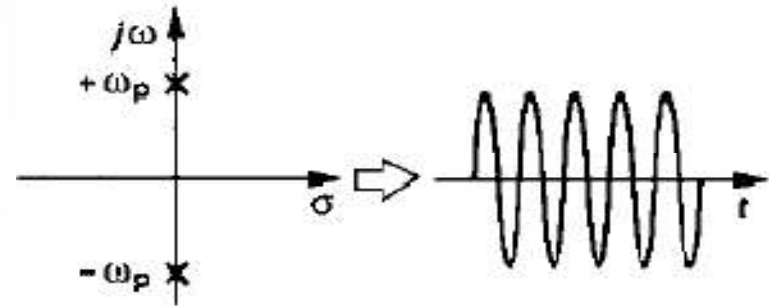
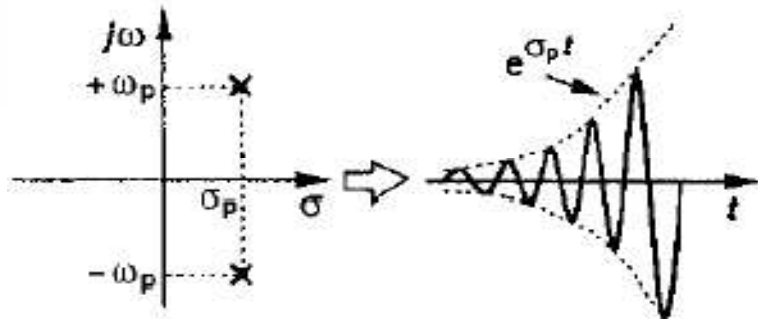


Pour éviter l'oscillation
la phase doit rester
supérieure que -180°
pour un gain unitaire

« Gain crossover point » must occur well
before « the phase crossover point »

Autre façon pour évaluer la stabilité de la BF

Calcul des pôles



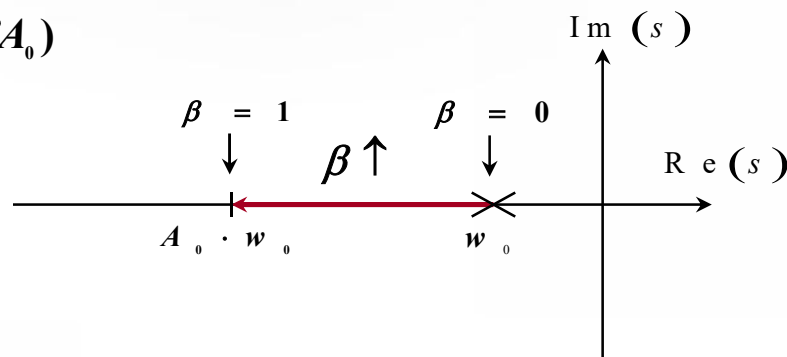
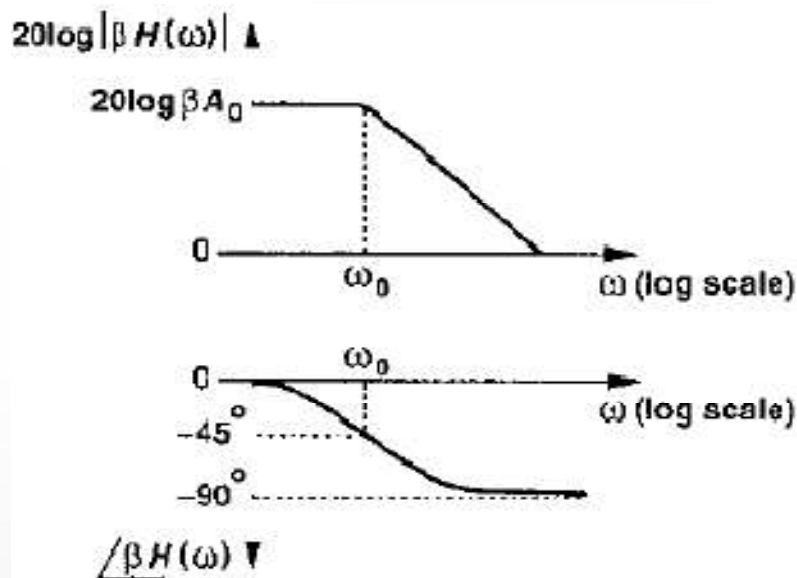
Le système est stable ssi la partie réelle du pôle est strictement négative

Avec un amplificateur à un seul pôle et si la contre-réaction est purement résistive :

$$A_{v_{BF}}(s) = \frac{A_0}{1 + \beta \cdot A_0} \cdot \frac{1}{1 - \frac{s}{(1 + \beta \cdot A_0) \cdot \omega_0}}$$

Le pôle en BF est donné par :

$$\omega'_0 = -\omega_0(1 + \beta A_0)$$



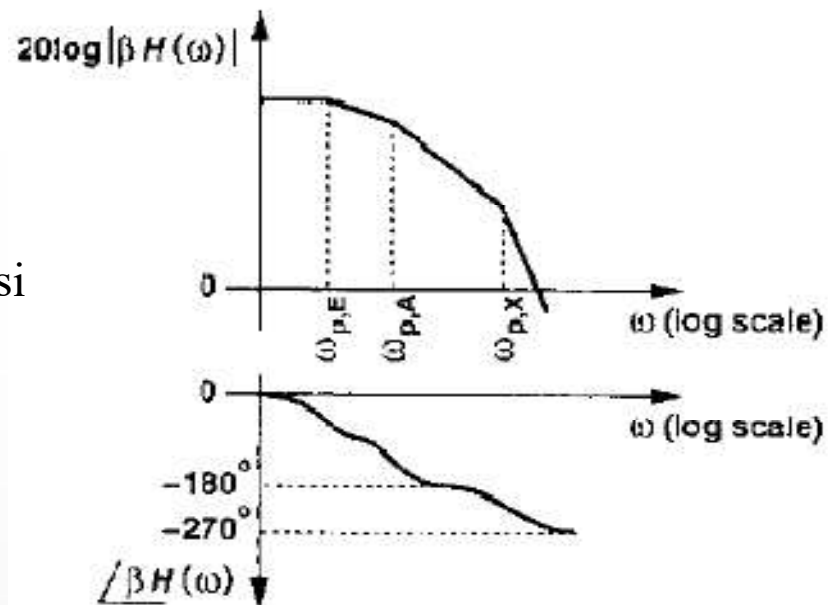
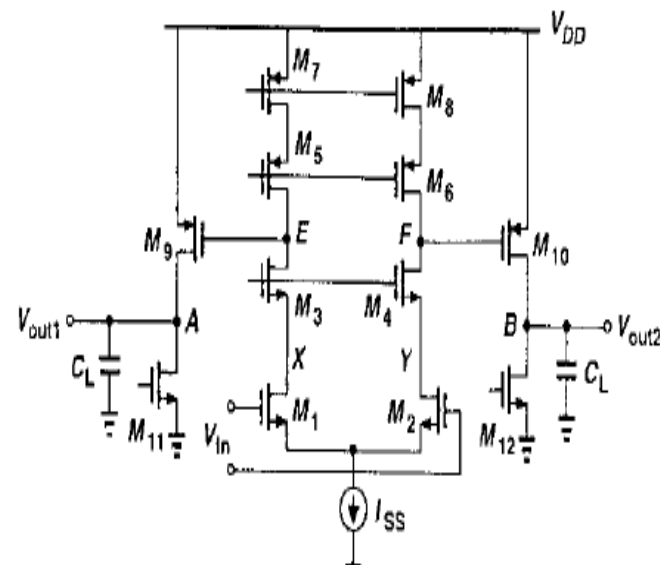
Le décalage de phase introduit par le pôle du système ne peut pas dépasser 90° et par conséquent le système est (unconditionnellement) stable

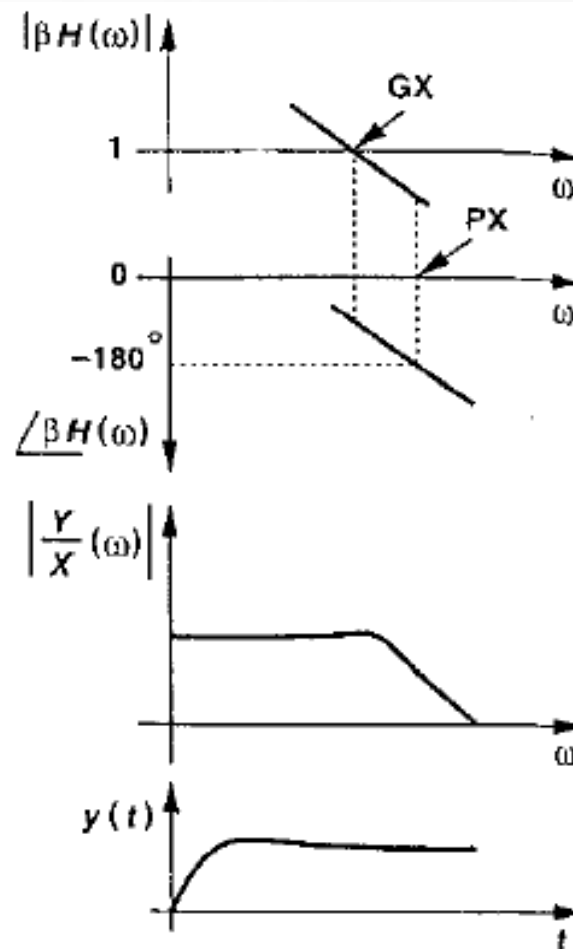
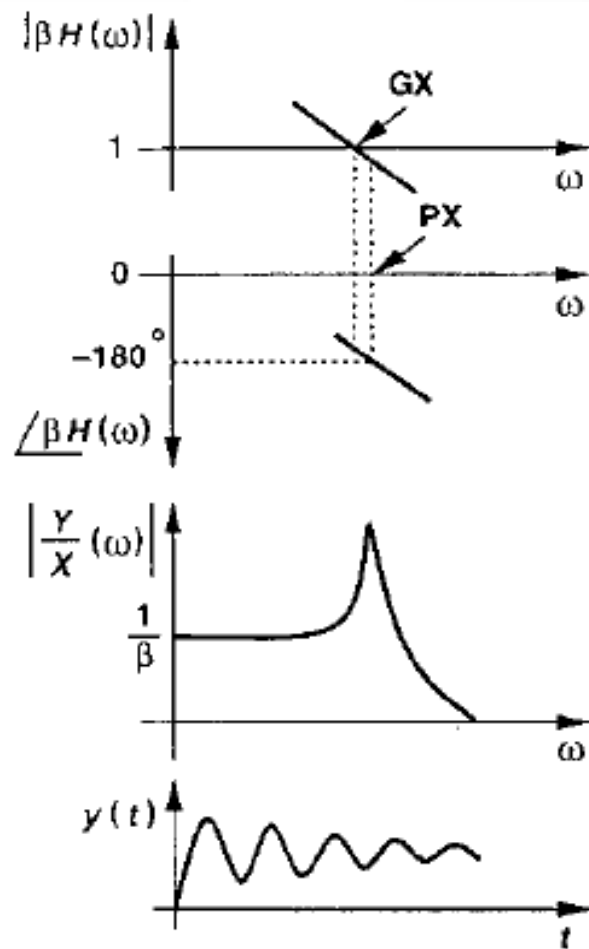
On identifie 3 pôles :

Un pôle en X(Y), un pôle en E(F) et un pôle en A(B)

Le pôle le plus dominant ??

- C'est le pôle en E, à cause de l'impédance élevée équivalente en ce point
- Le pôle en A peut être également dominant car même si l'impédance de sortie est faible, C_L peut être grande.
- Le pôle en X est HF

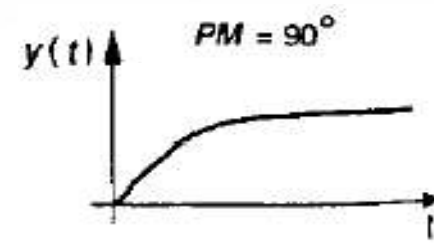
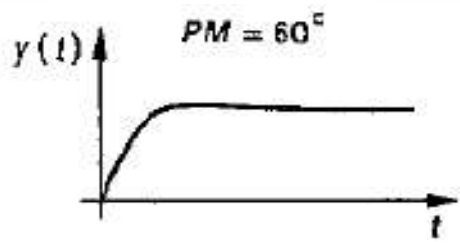
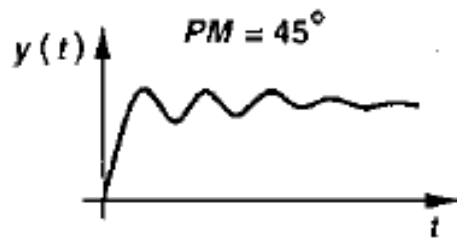




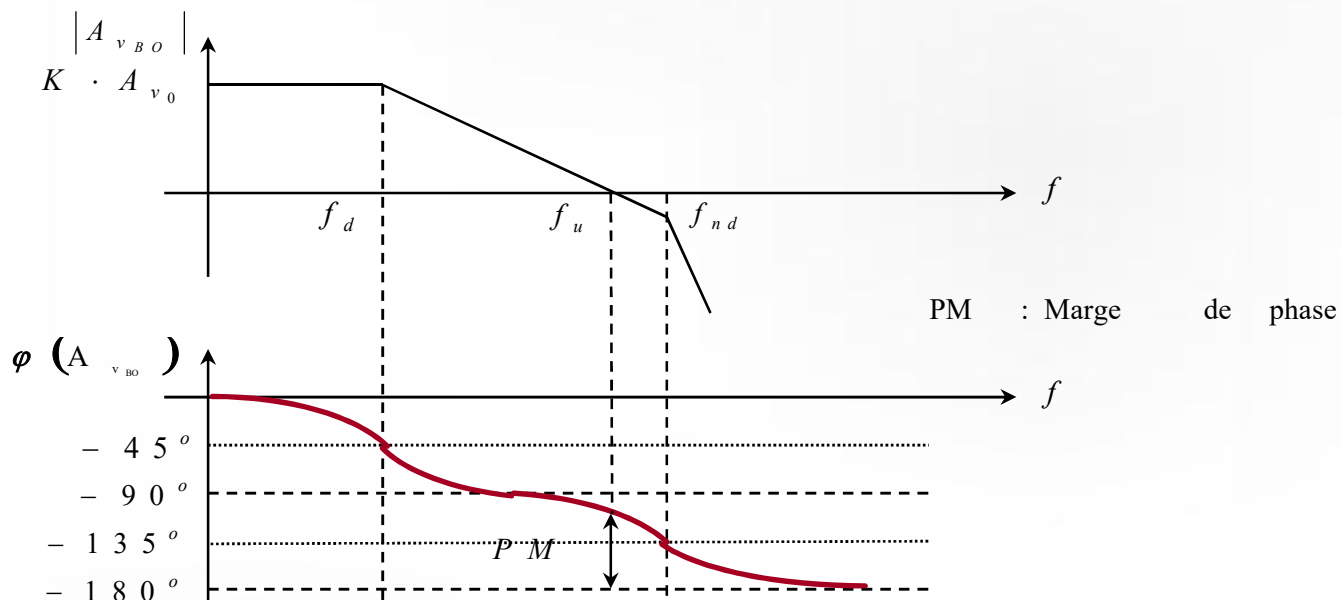
Plus GX parvient avant PX plus le système est stable

Définition : La marge de phase d'un système correspond au déphasage supplémentaire négatif qu'il faut ajouter au signal de sortie pour qu'il présente un déphasage de -180° à la fréquence unitaire (fréquence pour laquelle le gain vaut 1 ou 0dB).

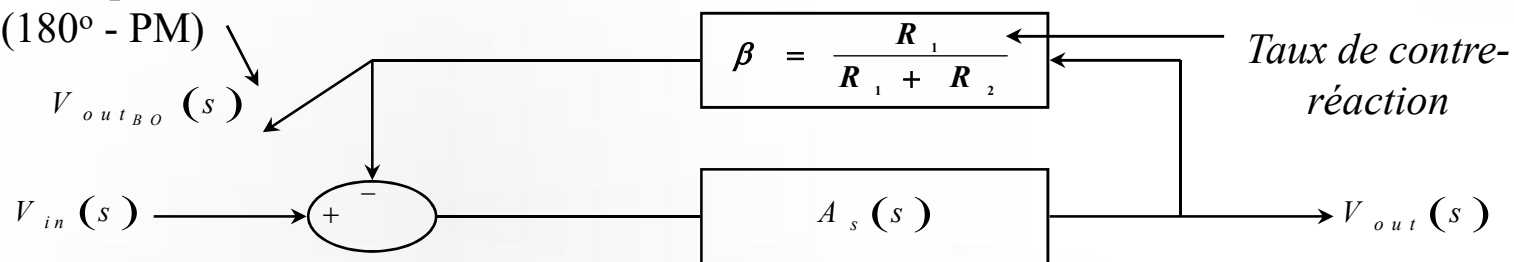
$$MP = 180 + \angle \beta A(\omega = \omega_1)$$



Un meilleur résultat est donné pour une marge de phase de 67° .



Signal déphasé de $(180^\circ - PM)$

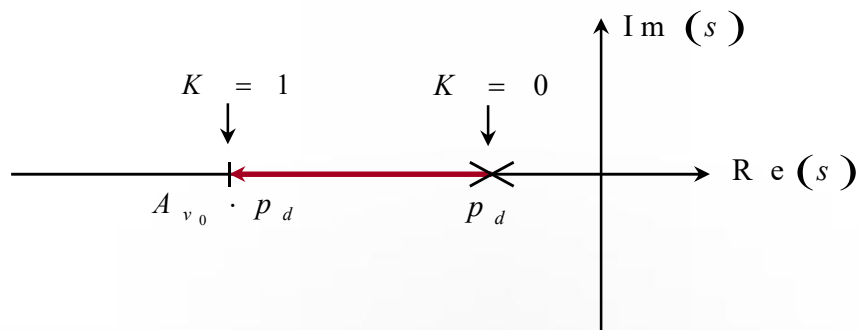


Si la marge de phase est proche de 0° , le système bouclé autooscillera!

Intérêt du produit gain-bande passante :

La fonction de transfert du système bouclé s'exprime alors par :

$$A_{v_{BF}}(s) = \frac{V_{out}(s)}{V_{in}(s)} = \frac{A_{v_0} \cdot \frac{1}{1 - \frac{s}{p_d}}}{1 + \frac{A_{v_0} \cdot K}{1 - \frac{s}{p_d}}} = \frac{A_{v_0}}{1 + K \cdot A_{v_0}} \cdot \frac{1}{1 - \frac{s}{(1 + K \cdot A_{v_0}) \cdot p_d}}$$



Position du pôle du système bouclé pour $0 < K < 1$ dans le plan des s

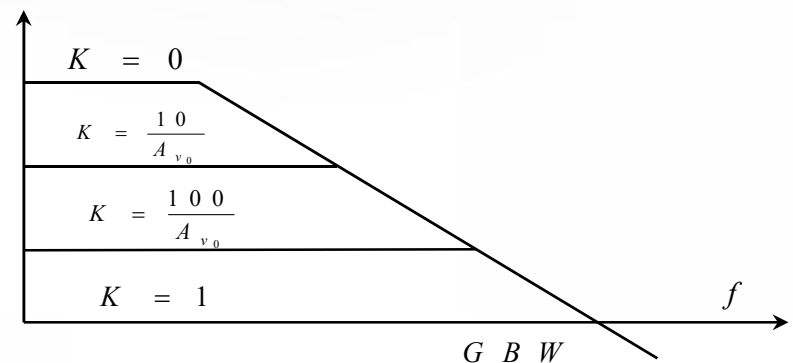


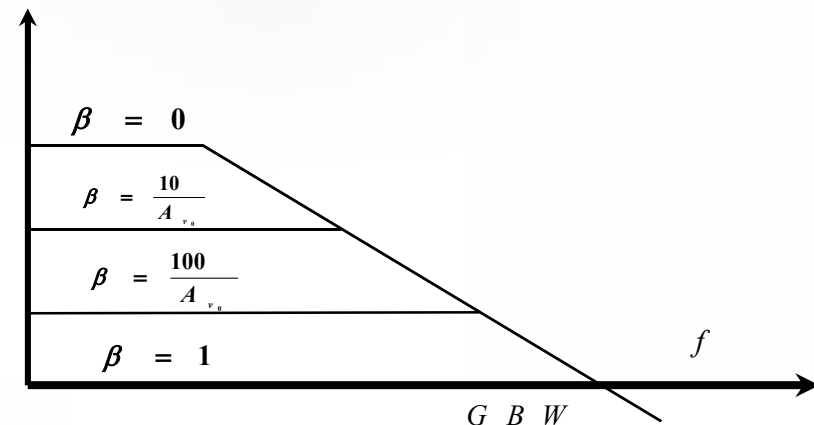
Diagramme de Bode en amplitude ($A_{v_0} = 1000 = 60\text{dB}$)

Le produit gain-bande passante du système en boucle fermée vaut :

$$GBW_{BF} = \frac{A_{v_0}}{1 + K \cdot A_{v_0}} \cdot (1 + K \cdot A_{v_0}) \cdot p_d = A_{v_0} \cdot p_d = GBW$$

Pour un AOP, on ne connaît pas la valeur β (le taux de contre réaction) qui sera appliqué à l'amplificateur opérationnel. β peut prendre des valeurs de 0 (R_2 infinie - boucle ouverte) à 1 (montage en suiveur).

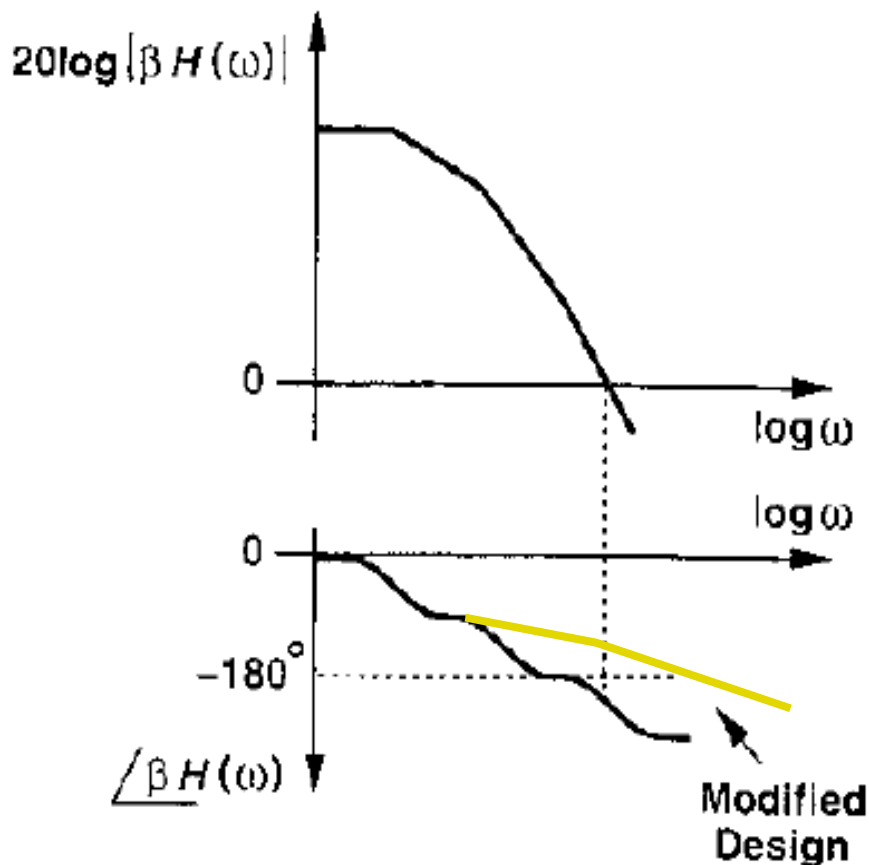
Si on trace le diagramme GBW, on remarque que le pire cas de la marge de phase est donné pour $\beta=1$. Le diagramme de Bode de $\beta A(j\omega)$ est alors celui de l'amplificateur seul.



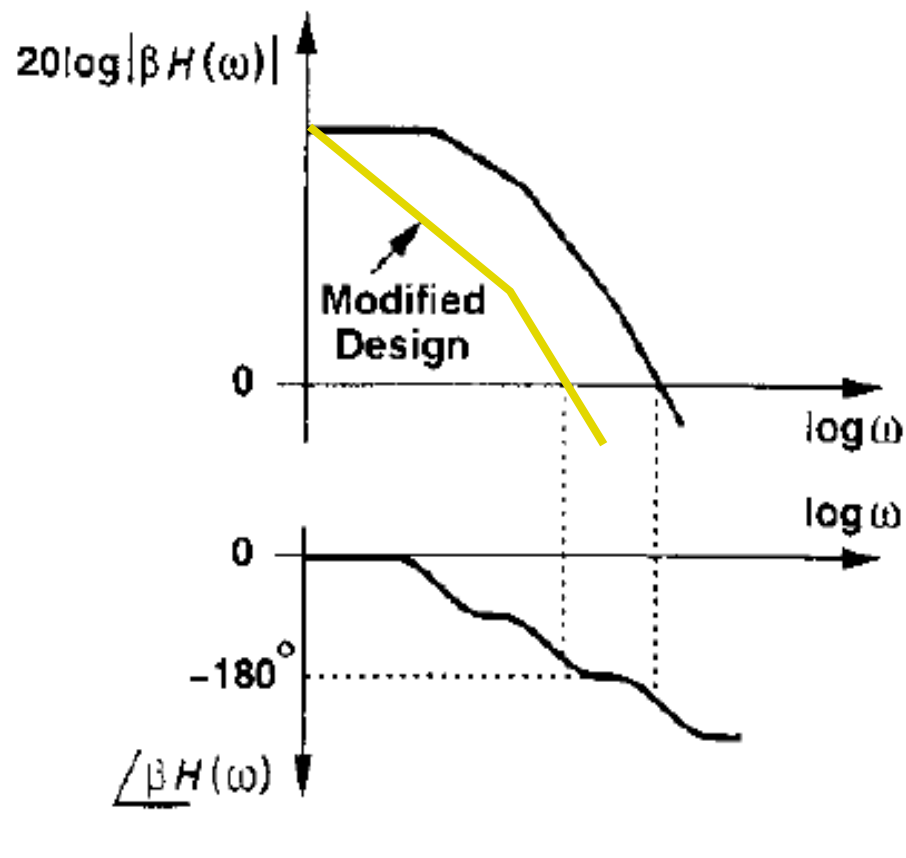
N.B. : On parle de la marge de phase d'un système en BOUCLE OUVERTE.

On choisira de concevoir l'amplificateur opérationnel de telle sorte que sa marge de phase soit de 67° .

La compensation en Fréquence



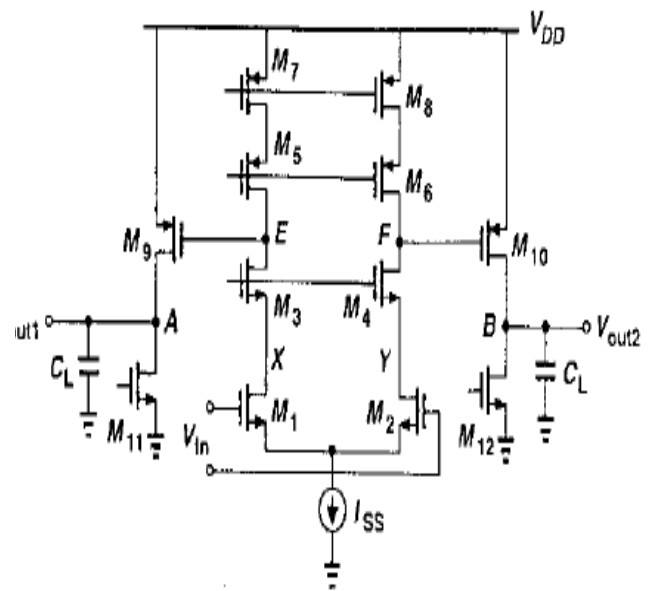
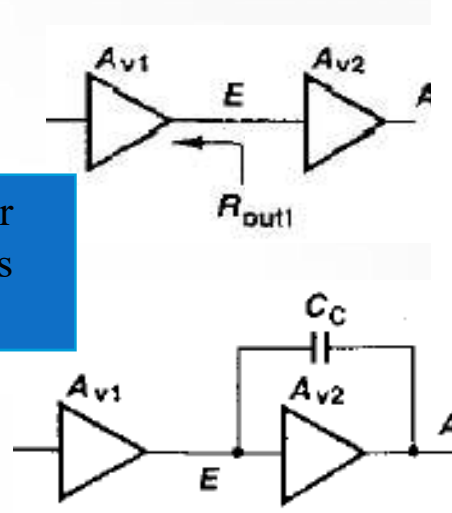
Soit minimiser la phase



Soit minimiser le gain

De tel façon à avoir GX avant PX

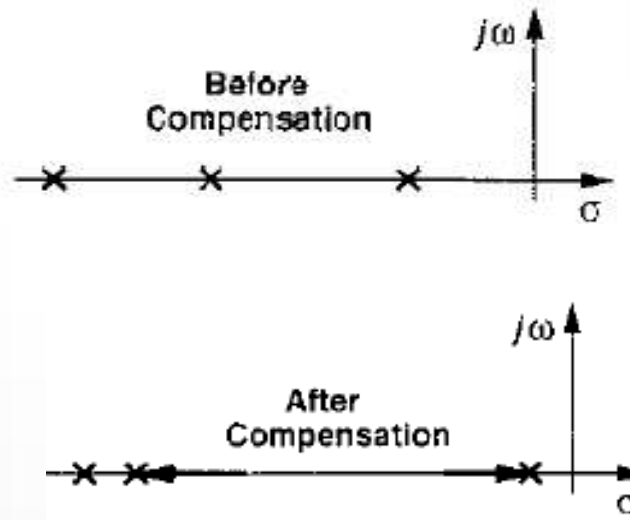
L'utilisation d'une capacité de Miller pour compenser l'AOP à deux étages



Le nouveau pôle en E est donné par :

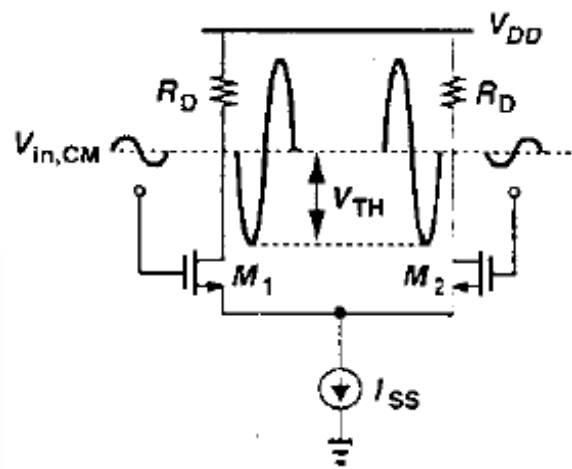
$$\frac{1}{R_{out} (C_E + (1 + A_{v2}) C_c)}$$

Ce nouveau pôle doit être choisi de telle façon que GX arrive avant PX



Exercices d'application:

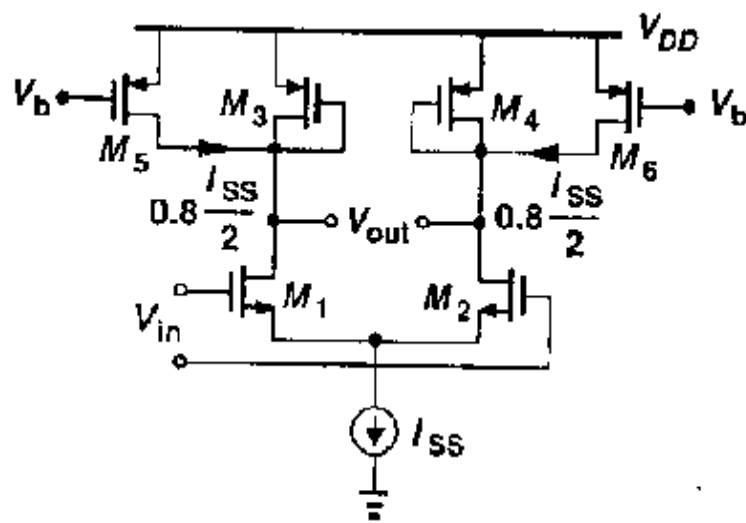
Exercices d'application:



$(W/L)=50/0.5$ et $I_{SS}=0.5$ mA

- 1- quelle est l'excursion maximale si $V_{in,cm}=1.2$ V ?
- 2- quel est la valeur du gain sous ces conditions ?

Exercices d'application:



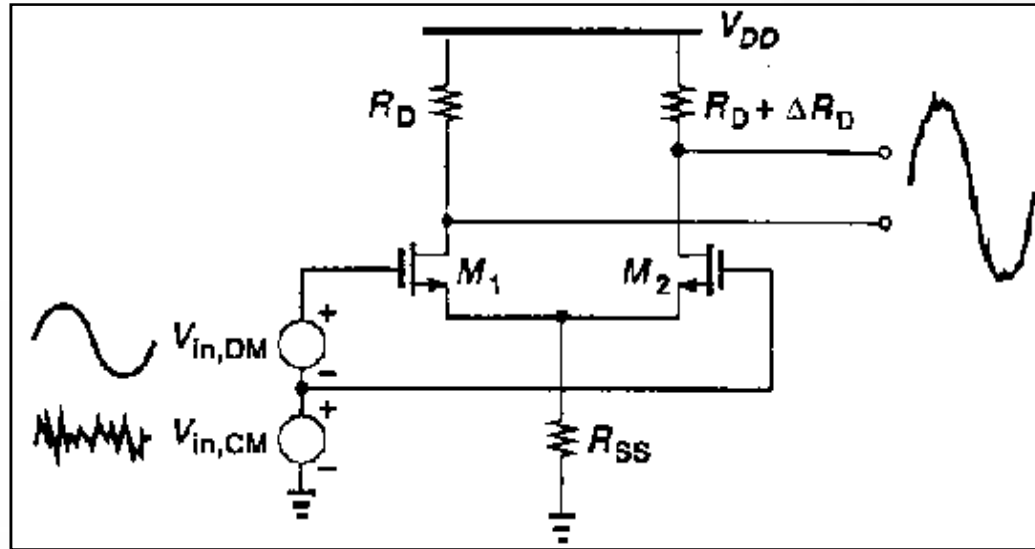
$I_{SS} = 1 \text{ mA}$, $W/L = 50/0.5$ pour tous les transistors

A- Calculer le gain du montage

B- Calculer V_b pour avoir $I_{D5} = I_{D6} = 0.8(I_{SS}/2)$

C- Si I_{SS} consomme 0.4 V , quelle est l'excursion max du circuit ?

Exercices d'application:



$W/L=50/0.5$ et $R_D=2 \text{ K}\Omega$. R_{SS} représente l'impédance d'un transistor NMOS avec $W/L=50/0.5$ et $I_D=1 \text{ mA}$. Le signal d'entrée différentiel est de 10 mV_{pp} et le mode commun est de $1.5\text{V} + V_n(t)$ avec V_n est le bruit avec une amplitude pp de 100mV . On suppose $\Delta R/r+0.5 \%$

A- calculer le rapport signal sur bruit, défini par le rapport de l'amplitude et du bruit

B- calculer le CMRR

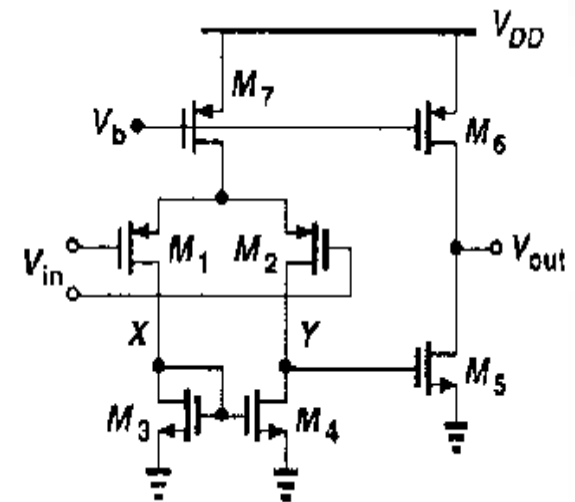
Bureau d'étude N°4

On suppose la conception de l'AO à deux étages :

$$V_{DD} = 3V$$

La consommation $P = 6mW$

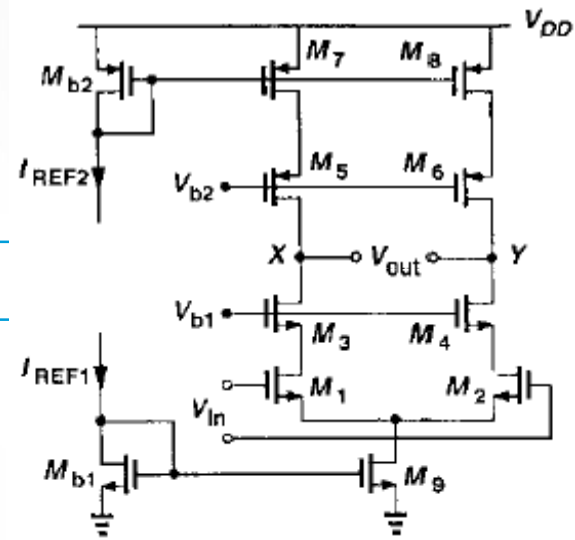
L'excursion est de 2.5 V



1. On alloue à l'étage de sortie un courant de 1mA et $V_{ds,sat5} = V_{ds,sat6}$ déterminer $(W/L)_5$ et $(W/L)_6$
2. Calculer le gain de l'étage de sortie
3. Pour 1 mA qui reste (de M7), déterminer les dimensions géométriques de M3 et M4 pour avoir $V_{GS3} = V_{GS5}$.
4. Calculer les dimensions de M1 et M2 pour avoir un gain de 500.

Cahier de Charge :

- $V_{DD} = 3V$;
- consommation $P = 10mW$,
- excursion de sortie différentielle = $3V$
- gain = 2000
- Paramètres Technologiques :**
 - $\mu_n C_{OX} = 60\mu A/V^2$
 - $\mu_p C_{OX} = 30\mu A/V^2$
 - $\lambda_n = 0.1 V^{-1}$ $\lambda_p = 0.1 V^{-1}$ pour $L = 0.5 \mu m$
 - $\gamma = 0$; $V_{THN} = |V_{THP}| = 0.7 V$

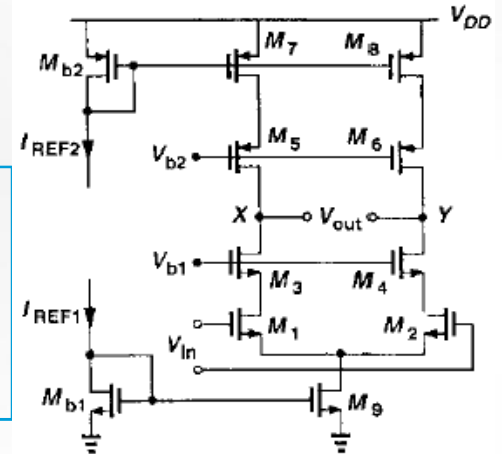


1- On Commence par allouer la consommation

On choisit 3 mA pour M9

Et On laisse 330μA pour Mb1 et Mb2

Donc chaque branche consommera un courant de 1.5 mA



2- Excursion de sortie demandée

Chaque nœuds X et Y doivent avoir 1.5 V d'excursion sans faire entrer M3-M6 en région Ohmique

Avec $V_{DD} = 3V$, M9 avec chaque branche doivent fonctionner avec 1.5 V

$$|V_{ds,sat7}| + |V_{ds,sat5}| + V_{ds,sat3} + V_{ds,sat1} + V_{ds,sat9} = 1.5 V$$

Puisque M9 a un courant plus grand on choisit $V_{ds,sat9} = 0.5V$ (donc 1 V pour les autres transistors de la branche

$$\mu_p \text{ faible \% } \mu_N \text{ on choisit } 300 \text{ mV pour chaque PMOS donc } V_{ds,sat1} + V_{ds,sat2} = 400 \text{ mV}$$

Comme pt de départ

$$V_{ds,sat1} = V_{ds,sat2} = 200 \text{ mV}$$

3- Détermination des dimensions géométriques

On connaît le courant de polarisation et la tension de saturation pour chaque transistor, on utilise $I_{DS}=f(V_{GS})$ du MOS en saturation pour trouver (W/L)

On calcule alors $(W/L)_{1-4}=1250$ $(W/L)_{5-8}=1111$ et $(W/L)_9=400$

On fixe L à L_{min} par exp et on déduit W

4- On vérifie alors toutes les contraintes

Le design satisfait les contraintes de conso, d'excursion, et de polarisation

Mais le gain ?

$$A_v = g_{m1} \left[\left(g_{m3} r_{O3} r_{O1} \right) \parallel \left(g_{m5} r_{O5} r_{O7} \right) \right]$$

Si on choisit L_{min} on a alors $A_v=1416 \ll 2000$

Il faut réajuster les paramètres

Pour augmenter le gain : $g_m r_o = \sqrt{2 \mu C_{ox} (W/L) I_D} / \lambda I_D$

puisque $\lambda \propto 1/L$ alors $g_m r_o \propto \sqrt{WL/I_D}$

Donc il faut augmenter L ou W ou diminuer I_D le courant de polarisation

En pratique la vitesse et le bruit imposent le courant de polarisation

Donc on va augmenter les dimensions

Quelles transistors(dimensions) modifiés ?

En général, on augmente les PMOS car ils affectent moins le comportement fréquentielle que les NMOS

5- valeurs des tensions de polarisation

$$\text{Input CM} = V_{gs1} + V_{ds,sat9} = V_{th1} + V_{od1} + V_{od9} = 1.4 \text{ V}$$

$$V_{b1,min} = V_{gs3} + V_{ds,sat1} + V_{ds,sat9} = 1.6 \text{ V}$$

$$V_{b2,max} = V_{DD} - (|V_{gs5}| + |V_{ds,sat7}|) = 1.7 \text{ V}$$

Prévoir une marge : process variation, mismatch ...

Bureau d'étude N°6 : Conception d'un AO folded Cascode

• Cahier de Charge :

- $V_{DD} = 3\text{ V}$
- Excursion de sortie 3V
- Consommation = 10 mW
- Gain = 2000

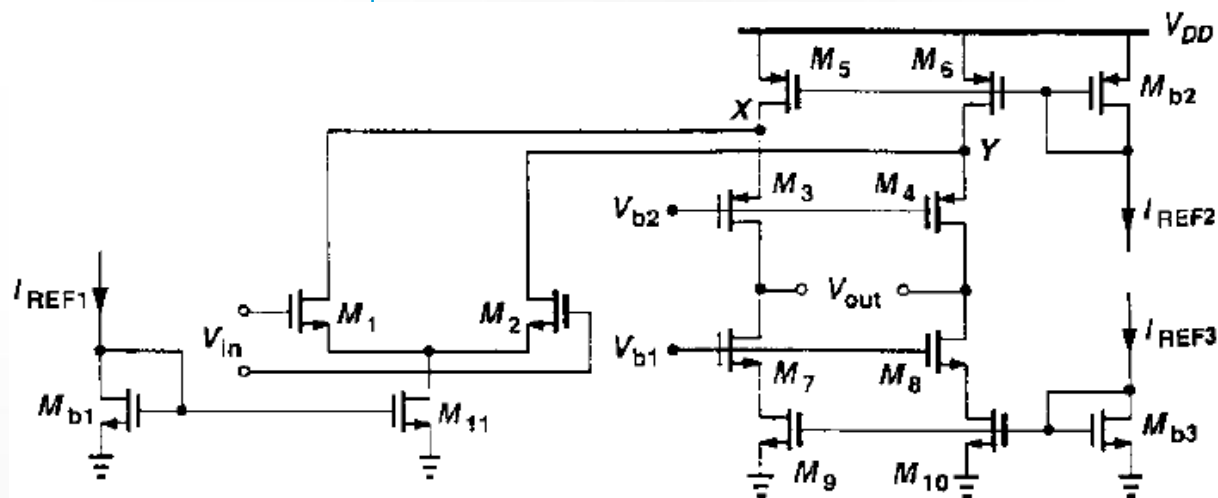
• Paramètres Technologiques :

$$\mu_n COX = 60\mu\text{A}/\text{V}^2$$

$$\mu_p COX = 30\mu\text{A}/\text{V}^2$$

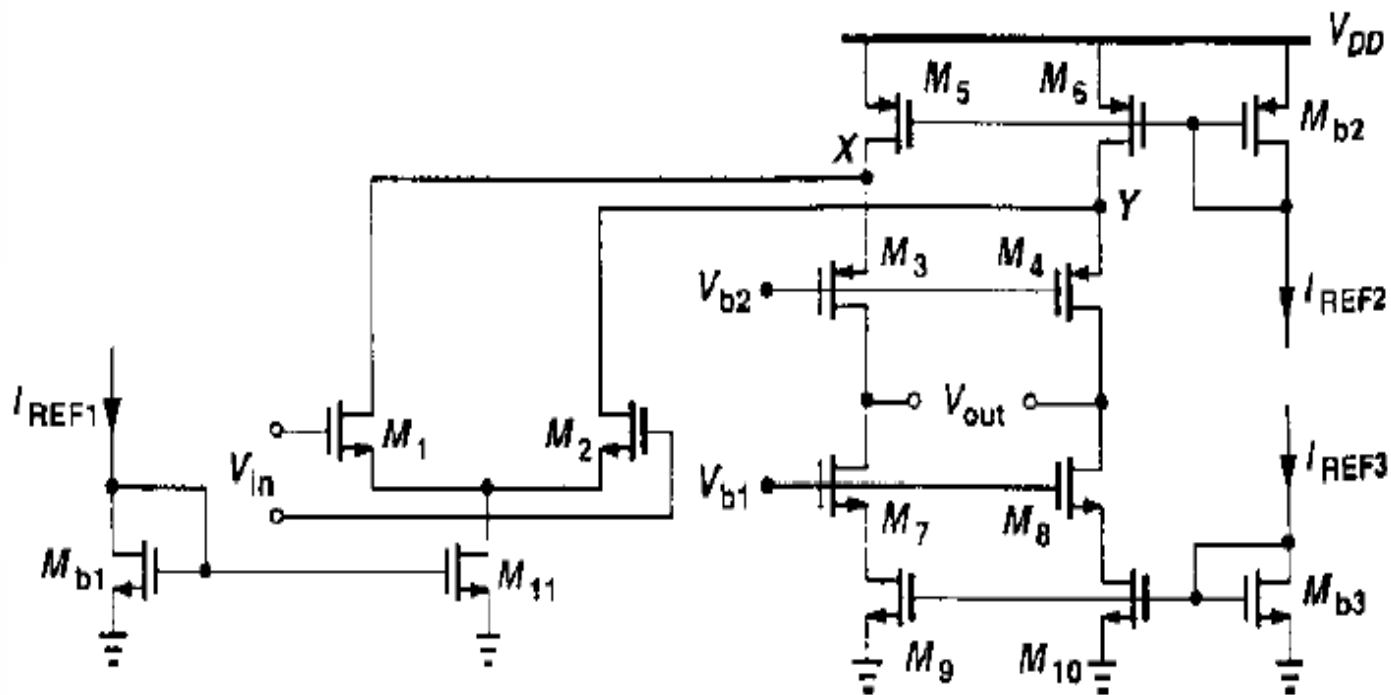
$$\lambda_n = 0.1\text{ V}^{-1} \quad \lambda_p = 0.1\text{ V}^{-1} \text{ pour } L = 0.5\ \mu\text{m}$$

$$\gamma = 0; V_{THN} = |V_{THP}| = 0.7\text{ V}$$



Projet :

Réalisation d'un Amplificateur Opérationnel Cascode-replié



Concevoir l'amplificateur Cascode-replié avec le cahier de charge donné dans le transparent suivant

Cahier des charges de l'amplificateur opérationnel :

les caractéristiques du cahier de charge sont les suivantes :

1. *Alimentations 0-3V*
2. *Charge de sortie $CL=5pF$*
3. *Dynamique d'entrée en mode commun d'au moins 1.5 V*
4. *Dynamique de sortie d'au moins 3V*
5. *Gain statique d'au moins 100dB*
6. *Produit gain-bande passante d'au moins 40MHz*
7. *Marge de phase d'au moins 67°*
8. *Slew rate d'au moins 10V/ms*
9. *Bruit thermique en entrée inférieure à $10 nV/\sqrt{Hz}$*

